

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-140180

(43) Date of publication of application : 27.05.1997

(51) Int.Cl. H02P 5/00

(21) Application number : 07-316057 (71) Applicant : RICOH CO LTD

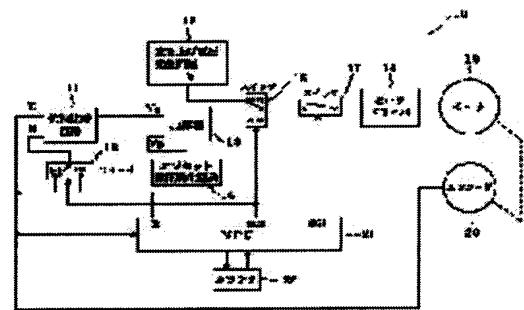
(22) Date of filing : 09.11.1995 (72) Inventor : SHINGYOUCHI MITSURU

(54) MOTOR SPEED CONTROLLER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a motor speed controller for settling the motor speed at a target speed quickly when a motor reaches the target speed.

SOLUTION: At the time of accelerating a motor 19 to a target speed or decelerating the motor 19 therefrom, speed control is performed by the rising voltage V of a rising voltage generation circuit 16. When a target speed is reached, an MPU 21 predicts a phase difference at the time of synchronism based on the target speed and produces a reference signal R having a phase difference $\delta\theta$ from an encoder pulse signal E and frequency corresponding to the target speed. A phase comparison circuit 11 receives the reference signal R and deliver a phase error signal $V\theta$, corresponding to the phase difference from encoder pulse signal E , to an adder 13. The adder 13 adds an offset voltage V_0 to the phase error signal $V\theta$ which is then delivered to a motor driver 18. After waiting a time ($T/2 - \delta T$) determined one half of a period T corresponding to a target speed and a time δT obtained from the phase difference $\delta\theta$, the MPU 21 inverts the reference signal R and then inverts the reference signal R at a period of $T/2$.



LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3651708

[Date of registration] 04.03.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The phase simulation control means which controls the rate of said motor, and a predetermined speed control signal are outputted. A selection means to choose alternatively said speed control signal which the speed-control means to which the acceleration and deceleration of said motor are carried out, and said phase simulation control means output, and said speed control signal which said speed-control means outputs, and to output it, At the time of the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor When said speed control signal which said speed-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate, while making said speed control signal which said phase simulation control means outputs choose The motor speed regulating device characterized by being a frequency corresponding to said target rate, and having generated the reference signal with the same phase contrast as the phase simulation back to said speed signal, and having the control means inputted into said phase simulation control means.

[Claim 2] Said speed-control means is a motor speed regulating device according to claim 1 characterized by carrying out speed adjusting control of said motor by the open loop control which outputs the fixed electrical potential difference which said motor permits, a fixed current, or the control signal set up beforehand as said speed control signal.

[Claim 3] Said speed-control means is a motor speed regulating device according to claim 1 characterized by being the frequency synchronization control means which outputs said speed control signal based on the frequency error signal of said speed signal which said detection means detected, and said reference signal, and carries out feedback control of the rate of said motor.

[Claim 4] The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor, Said speed control signal which said phase simulation control means outputs, and said speed control signal which said frequency synchronous-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase simulation control means outputs add and output The motor speed regulating device characterized by being a frequency corresponding to said target rate, and having generated the reference signal with the same phase contrast as the phase simulation back to said speed signal, and having the control means inputted into said phase simulation control means.

[Claim 5] The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The phase simulation control means which controls the rate of said motor, and a predetermined speed control signal are outputted. A selection means to choose alternatively said speed control signal which the speed-control means to which the acceleration and deceleration of said motor are carried out, and said phase simulation control means output, and said speed control signal which said speed-control means outputs, and to output it, At the time of the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor When said speed control signal which said speed-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate, while making said speed control signal which said phase simulation control means outputs choose The motor speed regulating device characterized by being a frequency corresponding to said target rate, and having generated the reference signal with the phase contrast near the core of the operating range of said phase simulation control means to said speed signal, and having the control means inputted into said phase simulation control means.

[Claim 6] Said speed-control means is a motor speed regulating device according to claim 5 characterized by carrying out speed adjusting control of said motor by the open loop control which outputs the fixed electrical potential difference which said motor permits, a fixed current, or the control signal set up beforehand as said speed control signal.

[Claim 7] Said speed-control means is a motor speed regulating device according to claim 5 characterized by being the frequency synchronization control means which outputs said speed control signal based on the frequency error signal of said speed signal which said detection means detected, and said reference signal, and carries out feedback control of the rate of said motor.

[Claim 8] The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor, Said speed control signal which said phase simulation control means outputs, and said speed control signal which said speed-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase simulation control means outputs add and output The motor speed regulating device characterized by being a frequency corresponding to said target rate, and having generated the reference signal with the phase contrast near the core of the operating range of said phase simulation control means to said speed signal, and having the control means inputted into said phase simulation control means.

[Claim 9] The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor, Said speed control signal which said phase simulation control means outputs, and said speed control signal which said frequency synchronous-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase

simulation control means outputs add and output The motor speed regulating device characterized by having generated the reference signal with which it is a frequency corresponding to said target rate, and the phase contrast of said speed control signal continues, and having the control means inputted into said phase simulation control means.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the motor speed regulating device which it is stabilized and is controlled at a target rate promptly in a detail about a motor speed regulating device.

[0002]

[Description of the Prior Art] From the former, the so-called phase simulation control system (PLL control system) is known as a speed-control method of a motor. This PLL (Phase Locked Loop) control system The speed is controlled in a motor by a phase comparator's detecting a fixed standard-of-frequency signal, speed signals, such as an encoder pulse proportional to the rate of a motor, and the phase contrast of **, and feeding back the controlled variable (for example, electrical potential difference) proportional to the phase contrast.

[0003] However, when the motor was controlled only by PLL control, constant torque acceleration could not be performed but there was a problem acceleration-and-deceleration time amount not only becomes long, but that a phase could not lock depending on the phase comparator to be used, and it could not control by the integral multiple of the frequency of a reference signal or the frequency of 1 for an integer suitable for a target rate.

[0004] Then, the general motor control approach from the former uses together the control system which feeds back the frequency error of the encoder which detects the rotational speed of a motor.

[0005] The frequency / electrical-potential-difference conversion of the detecting signal of an encoder (F/V conversion) are carried out, and, specifically, using together analog-servo speed control to feed back to PLL control is performed as compared with this electrical potential difference that carried out F/V conversion, and the electrical potential difference corresponding to a target rate.

[0006] In a process until a frequency synchronization process, i.e., the rate of a motor, reaches a target rate according to this control system Gain is set up so that the amount of feedbacks of a frequency error control system may become large with a PLL control system. Since the acceleration and deceleration of the rate are carried out to a target rate with a frequency error control system and the output of a frequency error control system becomes fixed in a phase simulation process after that, the amount of feedbacks of a PLL control system becomes large relatively, and it goes into a phase simulation condition, i.e., a phase lock condition.

[0007] Moreover, there is a motor speed-control method which switches a control system in a frequency synchronization process and a phase simulation process conventionally. That is, in speed control of a motor, in the phase simulation process, since a frequency error control system can perform control with a suitable PLL control system, it distinguishes frequency synchronization, and is switching and controlling the control system by the frequency synchronization process, respectively.

[0008] However, generally, although phase contrast may occur in the control system which the phase of a reference signal and a speed signal (namely, encoder signal) does not have constraint mutually in any way, and switches the above-mentioned control system in the phase of the reference signal immediately after switching to a PLL control system, and the phase of a speed signal When there was this phase contrast, depending on that phase contrast, phase simulation may not be completed promptly, the response became slow, and there was a problem of taking time amount before being

stabilized at a target rate.

[0009] As what is solved on this problem, the DC-motor speed regulating device indicated by JP,5-292776,A is proposed conventionally.

[0010] A means by which this DC-motor speed regulating device accelerates a motor, and the 1st control means which controls the rate of a motor based on the phase error signal of the speed signal of a motor and reference signal with which it was detected, It has the 2nd control means which controls the rate of a motor based on the frequency error signal of said speed signal and reference signal. Control by the addition signal of the output signal of a means to accelerate the rate of a motor with a means to accelerate said motor, and to accelerate said motor if a target rate is reached to the 1st and 2nd control means, Or it sets to the DC-motor speed regulating device switched to control only by the output signal of the 1st control means. When the rate of a motor reaches a target rate, it is characterized by a speed signal and a phase being in agreement to said 1st control means, and inputting the signal of the frequency corresponding to a target rate as a reference signal.

[0011] Namely, the control by the addition signal of the output of the 1st control means (it can be called a phase feedback means.) and the 2nd control means (it can be called a frequency feedback means.) when the rate of a motor reaches a target rate, Or while switching to control only by the phase feedback means A phase shift difference is set to 0, phase simulation is made to complete promptly in a speed signal (encoder signal) and a phase being in agreement, and inputting the signal of the frequency corresponding to a target rate as a reference signal, and it aims at making it answer for whether being Sumiya.

[0012]

[Problem(s) to be Solved by the Invention] However, if it was in such a conventional motor speed regulating device, in order to have solved promptly the transient response property based on the phase contrast of the speed signal and a reference signal after reaching a target attainment rate, there was a problem of it being inadequate in addition, and in addition taking time amount before being stabilized at a target rate.

[0013] namely, as conditions indicated by the claim of JP,5-292776,A Require what "a speed signal and a phase are in agreement to the 1st control means, and the signal of the frequency corresponding to a target rate is inputted for as a reference signal when the rate of a motor reaches a target rate", and it sets in the example. While the phase of an encoder pulse is progressing to the reference frequency signal When the phase-lead-lag-network signal according to the phase contrast is outputted and the phase is behind By using a phase comparator circuit to the extent that the same phase lag signal is outputted, as shown in drawing 22 , the phase-comparison range - It becomes the range of $2\pi - 2\pi$, and the phase of a reference signal and a speed signal serves as coincidence, phase contrast is served as to 0, and it is supposed that phase simulation will be completed.

[0014] however -- about -- as a phase comparator circuit, if the phase comparator of an EXOR (EXclusive OR) mold is used, as the phase-comparison range is shown in drawing 23 , it will be the range of $0 - \pi$, and, as for the point of 0, phase contrast will serve as the singular point. Consequently, control of a motor becomes unstable.

[0015] That is, the DC-motor speed regulating device indicated by JP,5-292776,A is a technique begun and attained using a phase comparator circuit to the extent that it seems that it is indicated by the example.

[0016] For example, speed signal VE which detected the rotational speed of a motor 3 from the reference signal R and the encoder 2 in the phase comparator circuit 1 when a PLL control system as shown in drawing 24 was considered It is inputted and the phase comparator circuit 1 is a reference signal R and a speed signal VE. It compares and error signal V_{theta} corresponding to the phase contrast $\Delta\theta$ is outputted to an adder 5 through a filter 4. In an adder 5, it is offset voltage V₀. It is inputted and an adder 5 is offset voltage V₀ to error signal V_{theta}. It adds and the input-control electrical potential difference V ($V = V_0 + V_{theta}$) is outputted to Motor Driver 6. Motor Driver 6 drives a motor 3 based on this input-control electrical potential difference V.

[0017] Speed signal VE which the input-control electrical potential difference V inputted Motor Driver 6 and an encoder 2 output now in order to simplify explanation Between frequencies f_v, if there shall be straight-line relation as shown in drawing 25 , the phase comparator circuit 1 shall have the property shown in drawing 22 .

[0018] It is offset voltage V_0 so that f_r may be made into the frequency of a reference signal R and drawing 25 may show here. It is a corresponding frequency f_0 If it carries out, in a phase simulation condition, the steady-state deviation of phase contrast $\Delta\theta$ in which a degree type is materialized exists.

[0019]

$f_0 = K_x V_0$ $V_{\theta} = K_{\theta} \Delta\theta$ $f_r = K_x (V_0 + V_{\theta}) = f_0 + K_x K_{\theta} \Delta\theta$... (1)

That is, phase simulation is carried out in the condition with phase contrast $\Delta\theta$, and this phase contrast $\Delta\theta$ is usually offset voltage V_0 . In addition to this, therefore, it changes variously.

[0020] However, in above-mentioned JP,5-292776,A, although it is indicated as if phase simulation was completed by phase contrast 0, in fact, with control by the addition signal of the output signal of the 1st control means given [concerned] in an official report, and the 2nd control means, and control of only the output signal of the 1st control means, steady-state deviation $\Delta\theta$ of a phase is the same, and is not then obtained.

[0021] That is, in control by the above-mentioned addition signal, the signal of a frequency feedback means (the 1st control means) is the offset voltage V_0 of drawing 24. The role is played and it is offset voltage V_0 . At effectiveness, it is $f_r \approx f_0$. Since it becomes, phase simulation is carried out in the $\theta \approx \theta_0$ neighborhood.

[0022] Moreover, since it is set to $V_0 = 0$, as shown in the above-mentioned (1) formula in control only by the 1st control means, phase simulation is carried out in $\Delta\theta \approx f_r / (K_x K_{\theta})$ neighborhood.

[0023] In addition, offset voltage V_0 When a control system which is added independently is incorporated, steady-state deviation, i.e., phase contrast, $\Delta\theta$ becomes a further different thing.

[0024] As mentioned above, when switching the 1st control means of the above, and the 2nd control means depending on the steady-state deviation at the time of a synchronization (phase contrast $\Delta\theta$), setting phase contrast $\Delta\theta$ to 0 also becomes the cause which makes a response unstable conversely and makes phase simulation slow, not to mention it brings a response forward.

[0025] Therefore, in the DC-motor speed regulating device indicated by above-mentioned JP,5-292776,A, in order to have solved promptly the transient response property based on the phase contrast of the speed signal and a reference signal after reaching a target attainment rate, there was a problem of it being inadequate in addition, and in addition taking time amount before being stabilized at a target rate.

[0026] Then, if the rate of a motor reaches a target rate, while carrying out invention according to claim 1 by switching a control system to a phase simulation control means, and making a motor control the speed By being a frequency corresponding to a target rate, and inputting a reference signal with the same phase contrast as the phase simulation back into a phase simulation control means to a speed signal The transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal is raised sharply, and while shortening time amount until it is stabilized at a target rate, it aims at offering the motor speed regulating device which can stabilize a speed-control system.

[0027] In the case of claim 1, invention according to claim 2 aims at offering the motor speed regulating device which simplifies the configuration of the whole speed-control system by carrying out open loop control until a motor reaches a target rate.

[0028] Invention according to claim 3 aims at offering the motor speed regulating device which in the case of claim 1 can synchronize a frequency certainly even if it is the case where inertia is the late large control system of a response by performing feedback control of a rate based on a frequency error signal until a motor reaches a target rate.

[0029] If the rate of a motor reaches a target rate, while controlling invention according to claim 4 by the addition output of the speed control signal which the speed-control means which carries out the acceleration and deceleration of the motor with a predetermined speed control signal outputs, and the speed control signal which a phase simulation control means outputs, to a phase simulation control means By inputting the reference signal which is a frequency corresponding to a target rate, and had the same phase contrast as the phase simulation back to the speed signal When the rate of a motor reaches a target rate and switches a control system, are based on the phase contrast of a speed signal and a reference signal. The transient response property of a speed-control system is raised still more

sharply, and it aims at offering the motor speed regulating device which can shorten further time amount until it is stabilized at a target rate.

[0030] When the rate of a motor reaches a predetermined target rate, while invention according to claim 5 switches a control system to a phase simulation control means and makes a motor control the speed By being a frequency corresponding to a target rate, and inputting a reference signal with the phase contrast near the core of the operating range of a phase simulation control means into a phase simulation control means to a speed signal After switching a control system to a phase simulation control means, it controls separating from the operating range of a phase comparison, and aims at offering the motor speed regulating device which can raise the transient response property of a phase simulation control means.

[0031] In the case of claim 5, invention according to claim 6 aims at offering the motor speed regulating device which simplifies the configuration of the whole speed-control system by carrying out open loop control until a motor reaches a target rate.

[0032] Invention according to claim 7 aims at offering the motor speed regulating device which in the case of claim 5 can synchronize a frequency certainly even if it is the case where inertia is the late large control system of a response by performing feedback control of a rate based on a frequency error signal until a motor reaches a target rate.

[0033] If the rate of a motor reaches a target rate, while switching invention according to claim 8 to control by the addition output of the speed control signal which the speed-control means which carries out the acceleration and deceleration of the motor with a predetermined speed control signal outputs, and the speed control signal which a phase simulation control means outputs, to a phase simulation control means By being a frequency corresponding to a target rate, and inputting a reference signal with the phase contrast near the core of the operating range of said phase simulation control means to a speed signal When a control system is switched, it controls separating from the operating range of a phase comparison, and aims at offering the motor speed regulating device which can raise the transient response property of a phase simulation control means.

[0034] When invention according to claim 9 carries out the acceleration and deceleration of the motor with a frequency synchronous-control means, the rate of a motor reaches a target rate and a control system is switched to the addition control system of a frequency synchronous-control means and a phase simulation control means, it is a frequency corresponding to a target rate. And by inputting into a phase simulation control means a reference signal with the phase contrast which a speed control signal follows The continuity of the controlled variable at the time of switching a control system is maintained, and the transient response property of a speed-control system is raised sharply, and while being able to shorten further time amount until it is stabilized at a target rate, it aims at offering the motor speed regulating device which can stabilize a speed-control system further.

[0035]

[Means for Solving the Problem] The motor speed regulating device of invention according to claim 1 The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The phase simulation control means which controls the rate of said motor, and a predetermined speed control signal are outputted. A selection means to choose alternatively said speed control signal which the speed-control means to which the acceleration and deceleration of said motor are carried out, and said phase simulation control means output, and said speed control signal which said speed-control means outputs, and to output it, At the time of the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor When said speed control signal which said speed-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate, while making said speed control signal which said phase simulation control means outputs choose The above-mentioned purpose is attained by being a frequency corresponding to said target rate, and generating a reference signal with the same phase contrast as the phase simulation back to said speed signal, and having the control means inputted into said phase simulation control means.

[0036] Here, if a detection means detects the rotational speed of a motor appropriately and can

output appropriately speed signals, such as a pulse corresponding to the rate concerned, you may be what kind of thing, for example, an encoder etc. will be used.

[0037] A phase simulation control means controls the speed in a motor by outputting a speed control signal to a driving means based on the phase error signal of the speed signal which this detection means outputs, and a predetermined reference signal, and this reference signal is a speed signal for example, corresponding to a target rate.

[0038] Although a selection means can use a switch etc., it cannot be overemphasized that it is not what is restricted to this.

[0039] A control means for example, by comparing with a target rate the speed signal which a detection means outputs Whether the rate of a motor reached the target rate until it distinguishes and a motor rate reaches a target rate By making the speed signal which a speed-control means outputs to a selection means choose, and carrying out the acceleration and deceleration of the motor If the rate of a motor is controlled and the rate of a motor reaches a target rate, while making the speed control signal which a phase simulation control means outputs to a selection means choose and carrying out by making a motor control the speed with the speed control signal which a phase simulation control means outputs It is a frequency corresponding to a target rate, and a reference signal with the same phase contrast as the phase simulation back is inputted into a phase simulation control means, and it is made to control the rate of a motor based on the phase contrast of this reference signal and the speed signal which a detection means outputs.

[0040] While being able to shorten time amount until it can raise sharply the transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal and is stabilized at a target rate according to the above-mentioned configuration, a speed-control system can be stabilized.

[0041] Said speed-control means may carry out speed adjusting control of said motor by the open loop control which outputs the fixed electrical potential difference which said motor permits, a fixed current, or the control signal set up beforehand as said speed control signal so that it may indicate to claim 2 in this case.

[0042] When circuitry will be able to become easy when according to the above-mentioned configuration the configuration of the whole speed-control system can be made easy and it incorporates a circuit in hard, cost can be reduced and it constitutes in software, software processing can become easy, loads, such as computation, can be made small, and processing speed can be raised.

[0043] Moreover, the inertia of a motorised system etc. is small, by the system with the quick response of a phase simulation process, since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased, conventionally, an open loop control means can perform the acceleration and deceleration of a motor for the control system which was carrying out acceleration and deceleration by the rate feedback loop, and applicability can be extended.

[0044] Furthermore, for example, as indicated to claim 3, said speed-control means may be a frequency synchronization control means which outputs said speed control signal based on the frequency error signal of said speed signal which said detection means detected, and said reference signal, and carries out feedback control of the rate of said motor.

[0045] Even if it can perform feedback control of a rate based on a frequency error signal and is the case where inertia is the late large control system of a response, while being able to synchronize a frequency certainly according to the above-mentioned configuration Since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased The transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal can be raised still more sharply, and while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0046] The motor speed regulating device of invention according to claim 4 The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal

and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor, Said speed control signal which said phase simulation control means outputs, and said speed control signal which said frequency synchronous-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase simulation control means outputs add and output The above-mentioned purpose is attained by being a frequency corresponding to said target rate, and generating a reference signal with the same phase contrast as the phase simulation back to said speed signal, and having the control means inputted into said phase simulation control means.

[0047] Here, the selection means is equipped with the optional feature which chooses alternatively the speed control signal which a phase simulation control means outputs, and the speed control signal which a speed-control means outputs, and the adder adding the speed control signal which these both-hands stages output, for example, can constitute them from a switch and an adder.

[0048] A control means a motor at the time of the acceleration and deceleration which carry out acceleration and deceleration to a target rate If make the speed control signal which a speed-control means outputs to a selection means choose, a driving means is made to drive a motor with this speed control signal and the rate of a motor reaches a target rate While making the speed control signal which a speed-control means outputs, and the speed control signal which a phase simulation control means outputs add and output to a selection means, the reference signal which is a frequency corresponding to a target rate, and had the same phase contrast as the phase simulation back in the phase simulation control means to the speed signal is inputted.

[0049] When according to the above-mentioned configuration the rate of a motor reaches a target rate and switches a control system, while being able to shorten further the time amount based on the phase contrast of a speed signal and a reference signal until it can raise the transient response property of a speed-control system still more sharply and is stabilized at a target rate, a speed-control system can be stabilized.

[0050] The motor speed regulating device of invention according to claim 5 The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The phase simulation control means which controls the rate of said motor, and a predetermined speed control signal are outputted. A selection means to choose alternatively said speed control signal which the speed-control means to which the acceleration and deceleration of said motor are carried out, and said phase simulation control means output, and said speed control signal which said speed-control means outputs, and to output it, At the time of the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor When said speed control signal which said speed-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate, while making said speed control signal which said phase simulation control means outputs choose The above-mentioned purpose is attained by being a frequency corresponding to said target rate, and generating a reference signal with the phase contrast near the core of the operating range of said phase simulation control means to said speed signal, and having the control means inputted into said phase simulation control means.

[0051] When according to the above-mentioned configuration the rate of a motor reaches a target rate and switches a control system to a phase simulation control means, on the frequency corresponding to a target rate And since a reference signal with the phase contrast of the core of the operating range of a phase simulation control means is inputted into a phase simulation control means to a speed signal After switching a control system to a phase simulation control means, it can control separating from the operating range of a phase comparison, and the transient response property of a phase simulation control means can be raised.

[0052] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0053] Moreover, although the phase contrast of the core of the operating range of a phase simulation control means is known beforehand and it is necessary to change a frequency, since it is not necessary to change phase contrast with a target rate, a reference signal can be generated easily and circuitry can be simplified.

[0054] Said speed-control means may carry out speed adjusting control of said motor by the open loop control which outputs the fixed electrical potential difference which said motor permits, a fixed current, or the control signal set up beforehand as said speed control signal so that it may indicate to claim 6 in this case.

[0055] When circuitry will be able to become easy when according to the above-mentioned configuration the configuration of the whole speed-control system can be made easy and it incorporates a circuit in hard, cost can be reduced and it constitutes in software, software processing can become easy, loads, such as computation, can be made small, and processing speed can be raised.

[0056] Moreover, the inertia of a motorised system etc. is small, by the system with the quick response of a phase simulation process, since the instability at the time of a change-over of the above-mentioned control system has decreased, conventionally, an open loop control means can perform the acceleration and deceleration of a motor for the control system which was carrying out acceleration and deceleration by the rate feedback loop, and applicability can be extended.

[0057] Furthermore, for example, as indicated to claim 7, said speed-control means may be a frequency synchronization control means which outputs said speed control signal based on the frequency error signal of said speed signal which said detection means detected, and said reference signal, and carries out feedback control of the rate of said motor.

[0058] Even if it can perform feedback control of a rate based on a frequency error signal and is the case with large inertia where a response is a late control system, while being able to synchronize a frequency certainly according to the above-mentioned configuration Since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased The transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal can be raised still more sharply, and while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0059] The motor speed regulating device of invention according to claim 8 The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor, Said speed control signal which said phase simulation control means outputs, and said speed control signal which said speed-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase simulation control means outputs add and output The above-mentioned purpose is attained by being a frequency corresponding to said target rate, and generating a reference signal with the phase contrast near the core of the operating range of said phase simulation control means to said speed signal, and having the control means inputted into said phase simulation control means.

[0060] When according to the above-mentioned configuration the rate of a motor reaches a target rate and switches a control system to the addition control system of a speed-control means and a phase simulation control means, on the frequency corresponding to a target rate And since a reference signal with the phase contrast of the core of the operating range of a phase simulation

control means is inputted into a phase simulation control means to a speed signal. After switching a control system, it can control separating from the operating range of a phase comparison, and the transient response property of a phase simulation control means can be raised.

[0061] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0062] Moreover, although the phase contrast of the core of the operating range of a phase simulation control means is known beforehand and it is necessary to change a frequency, since it is not necessary to change phase contrast with a target rate, a reference signal can be generated easily and circuitry can be simplified.

[0063] The motor speed regulating device of invention according to claim 9. The speed control signal based on the phase error signal of a detection means to detect the rate of a motor and to output as a speed signal, and the speed signal which said detection means outputs and a predetermined reference signal is outputted. The speed control signal based on the frequency error signal of said speed signal and said predetermined reference signal which the phase simulation control means which controls the rate of said motor, and said detection means output is outputted. The frequency synchronous-control means which carries out feedback control of the rate of said motor. Said speed control signal which said phase simulation control means outputs, and said speed control signal which said frequency synchronous-control means outputs are chosen alternatively. or add and at the time of a selection means to output, the driving means which drives said motor based on said speed control signal inputted from said selection means, and the acceleration and deceleration of said motor. If said speed control signal which said frequency synchronous-control means outputs to said selection means is made to choose and the rate of said motor reaches a predetermined target rate. While making said speed control signal which said frequency synchronous-control means outputs, and said speed control signal which said phase simulation control means outputs add and output. The above-mentioned purpose is attained by generating the reference signal with which it is a frequency corresponding to said target rate, and the phase contrast of said speed control signal continues, and having the control means inputted into said phase simulation control means.

[0064] When according to the above-mentioned configuration the acceleration and deceleration of the motor are carried out with a frequency synchronous-control means, the rate of a motor reaches a target rate and a control system is switched to the addition control system of a frequency synchronous-control means and a phase simulation control means, on the frequency corresponding to a target rate. And since a reference signal with the phase contrast which a speed control signal follows is inputted into a phase simulation control means, the continuity of the controlled variable at the time of switching a control system is maintained, and the transient response property of a speed-control system can be raised sharply.

[0065] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0066]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained to a detail based on an accompanying drawing.

[0067] In addition, since the gestalt of the operation described below is a gestalt of suitable operation of this invention, desirable various limitation is attached technically, but especially the range of this invention is not restricted to these modes, as long as there is no publication of the purport which limits this invention in the following explanation.

[0068] Drawing 1 - drawing 5 are drawings showing the gestalt of operation of the 1st of the motor speed regulating device of this invention, and the gestalt of this operation carries out the acceleration and deceleration of the motor on a fixed electrical potential difference until a motor reaches a target rate.

[0069] Drawing 1 is the circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 1st of the motor speed regulating device of this invention.

[0070] The motor speed regulating device 10 is used for controlling the speed in the motor which is equipped with the phase comparator circuit 11, a switch 12, an adder 13, the offset voltage generating circuit 14, a switch 15, the starting electrical-potential-difference generating circuit 16, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU (Micro Processing Unit)21, and

counter 22 grade, for example, is used for facsimile apparatus, a copying machine, or a printer in drawing 1.

[0071] MPU (control means) 21 controlled each part of the motor speed regulating device 10 in generalization, and is equipped with the terminal R which outputs the terminal SC 2 which outputs the change-over signal of the terminal SC 1 which outputs the change-over signal of a switch 17, a switch 12, and a switch 15, and a reference signal R to the phase comparator circuit 11 at least through a switch 12.

[0072] It connects with the (b) side, and if a switch 12 and a switch (means for switching) 15 reach a predetermined rate, they will be switched to a (b) side, until it operates under control of MPU21 and a motor 19 reaches a predetermined rate.

[0073] Moreover, a switch 17 is turned off if the change-over signal for making it turn on and stop when the change-over signal for rotating a motor 19 from MPU21 is inputted is inputted.

[0074] the encoder pulse signal E corresponding to [an encoder (detection means) 20 detects the rotational speed of a motor 19, and] the rotational speed concerned -- MPU21 and a switch 12 -- and -- about -- it outputs to the phase comparator circuit 11.

[0075] A counter 22 is a counter used in order that generation etc. may carry out the reference signal R corresponding to the target rate of the motor 19 directed from a main control means by which it is based on the encoder pulse signal E from an encoder 20, and rotational speed of a motor 19 is not detected and illustrated.

[0076] MPU21 judges whether based on the encoder pulse signal E from an encoder 20, the rotational speed of a motor 19 was detected using the counter 22, the rotational speed and the target rate of a motor 19 concerned which were detected were measured, and rotation of a motor 19 reached the target rate.

[0077] If the rotational speed of a motor 19 reaches a target rate, MPU21 will output a change-over signal to a switch 12 and a switch 15, and will switch a switch 12 and a switch 15 to a (b) side from a (b) side.

[0078] Moreover, MPU21 predicts phase contrast $\Delta\theta$ of a reference signal to the speed signal at the time of a synchronization from a target rate, and has the phase contrast $\Delta\theta$ concerned to the encoder pulse signal E, and generates the standard-of-frequency signal corresponding to a target rate, and outputs it to the phase comparator circuit 11 as a reference signal R at least through a switch 12 from R terminal. This speed detection actuation and signal generation actuation are explained in full detail later.

[0079] As shown in drawing 2, the circuitry only of the above is carried out, and the phase comparator circuit (phase simulation control means) 11 is equipped with a phase comparator 31, the count signal generator 32, switches 33 and 34, the counter 35, and the D/A-converter 36 grade for it.

[0080] Since a switch 12 will be switched to a (b) side if it is the encoder pulse signal E and the rotational speed of a motor 19 reaches a target rate after that, since a switch 12 is a (b) side until the rotational speed of a motor 19 reaches a target rate, the reference signal R which the above-mentioned encoder pulse signal E and a reference signal R are inputted into a phase comparator 31, and is inputted into this phase comparator 31 is a reference signal from MPU21.

[0081] A phase comparator 31 compares the phase of this encoder pulse signal E and a reference signal R, and outputs a progress signal or a delay signal to the corresponding switches 33 and 34. That is, a phase comparator 31 outputs the phase lag signal corresponding to the phase contrast concerned to a switch 34, when the phase-lead-lag-network signal corresponding to the phase contrast concerned is outputted to a switch 33 while the phase of the encoder pulse signal E is progressing to the reference signal R, and the phase of the encoder pulse signal E is behind to the reference signal R.

[0082] A phase comparator 31 compares the encoder pulse signal E shown in the reference signal R shown in drawing 3 (a), and drawing 3 (b), and now, since the phase is progressing from the reference signal R in drawing 3 as for the encoder pulse signal E, as shown in drawing 3 (c), specifically, it outputs the phase-lead-lag-network signal with which only the period corresponding to the width of face for the phase contrast concerned serves as a low level to a switch 33. Since the phase is progressing [the direction of the encoder pulse signal E] at this time, a phase lag signal is still a high-level condition, as shown in drawing 3 (d).

[0083] A switch 33 and a switch 34 are switches switch on / switch off with the progress signal or delay signal from a phase comparator 31, and if the progress signal or delay signal of a low level is inputted, it will switch on and they will output the count signal inputted from the count signal generator 32 to a counter 35.

[0084] As shown in drawing 3 (e), the count signal generator 32 generates the count signal of fixed high frequency, and outputs it to a switch 33 and a switch 34.

[0085] The count signal which the count signal generator 32 outputs is inputted into a counter 35 as a count UP signal or a count DOWN signal through a switch 33 or a switch 34, only when the switch 33 or the switch 34 turns on.

[0086] Only the period which the progress signal turns [the count UP signal] on as the progress signal of a low level is outputted to a switch 33 as it is shown in drawing 3 (c), since the phase is progressing from the reference signal R in drawing 3 as for the encoder pulse signal E, a switch 33 turns on and it is shown in a counter 35 at drawing 3 (f) is inputted as a pulse train of a count signal. At this time, the count DOWN signal is maintaining 0 level, as shown in drawing (g).

[0087] the number of the pulse trains of the count UP signal into which a counter 35 is inputted from a switch 33 or a switch 34, or a count DOWN signal -- serially -- count-up -- or it counts down and outputs to D/A converter 36. As shown in drawing 3 (h), D/A converter 36 carries out D/A (digital-to-analog) conversion of the count result of a counter 35, and outputs it to the adder 13 shown in drawing 1 as phase error signal V_{θ} of the analog corresponding to the phase contrast of the above-mentioned encoder pulse signal E and a reference signal R.

[0088] That is, the count signal with which the count signal generator 32 outputs the phase comparator circuit 11 by outputting the phase-lead-lag-network signal corresponding to phase contrast to a switch 33 from a phase comparator 31, and a switch 33 serving as ON when the phase of the encoder pulse signal E is progressing from the reference signal R is inputted into a counter 35 as a count UP signal through a switch 33. If a count UP signal is inputted as a pulse train of the count signal corresponding to a phase lead lag network, a counter 35 counts up a count signal, outputs a count result to D/A converter 36, and D/A converter 36 will carry out D/A conversion of the count result of a counter 35, and it will output it to the adder 13 shown in drawing 1 as phase error signal V_{θ} of the analog corresponding to phase contrast.

[0089] Moreover, when the phase comparator circuit 11 is behind the reference signal R in the phase of the encoder pulse signal E, the phase lag signal corresponding to phase contrast is outputted to a switch 34 from a phase comparator 31, a switch 34 serves as ON, and the count signal which the count signal generator 32 outputs is inputted into a counter 35 as a count DOWN signal through a switch 34. If a count DOWN signal is inputted as a pulse train of the count signal corresponding to phase lag, contrary to the case of a count UP signal, a counter 35 counts down a count signal, outputs a count result to D/A converter 36, and D/A converter 36 will carry out D/A conversion of the count result of a counter 35, and it will output it to the adder 13 shown in drawing 1 as phase error signal V_{θ} of the analog corresponding to phase contrast.

[0090] Namely, as mentioned above, the phase comparator circuit 11 detects the phase contrast of the encoder pulse signal E and a reference signal R, generates phase error signal V_{θ} of the analog corresponding to the phase contrast, and outputs it to an adder 13.

[0091] In addition, MPU21 may be made to perform the function of the phase comparator 31 of the phase comparator circuit 11, and at least the above may use CR active filter instead of D/A converter 36.

[0092] The offset voltage generating circuit (speed-control means) 14 generates the predetermined offset voltage V_0 , and outputs it to an adder 13.

[0093] An adder 13 is the offset voltage V_0 inputted from the offset voltage generating circuit 14. Phase error signal V_{θ} inputted from the phase comparator circuit 11 is added, and an addition output is outputted to Motor Driver 18 through a switch 15 and a switch 17.

[0094] It rises on a switch 15 (selection means) with the addition output of an adder 13, and the starting electrical potential difference V of the electrical-potential-difference generating circuit 16 is inputted into it, and a switch 15 rises with the addition output of these adders 13, chooses alternatively one side of the starting electrical potential difference V of the electrical-potential-difference generating circuit 16, and outputs it to Motor Driver 18 as a speed control signal through a

switch 17.

[0095] Motor Driver (driving means) 18 carries out the rotation drive of the motor 19 based on the speed control signal inputted through a switch 17.

[0096] Next, actuation is explained.

[0097] First, when the command which rotates a motor comes out from the control unit which is not illustrated, MPU21 performs initial setting.

[0098] That is, in an initial state, if a switch 12 and a switch 15 are connected to a (b) side in an A point, a switch 17 is turned ON and initial setting is completed as shown in drawing 4, MPU21 will generate error signal Vtheta from the encoder pulse signal E and a reference signal R, and will output the phase comparator circuit 11 to an adder 13.

[0099] in addition, drawing in which drawing 4 showed the wave of each part of a signal of drawing 1 -- it is -- drawing 4 (a) -- the encoder pulse signal E and (b) -- about -- the reference signal R inputted into the phase comparator circuit 11, and (c) -- about -- error signal Vtheta which the phase comparator circuit 11 outputs, and (d) are the rotational speed of a motor 19.

[0100] First, if the command of motor rotation comes out of the main control unit which is not illustrated, MPU21 will set up phase contrast deltatheta at the time of a synchronization, and the waiting (wait) time amount which is specifically equivalent to phase contrast deltatheta from a target rate.

[0101] Now, the phase comparator circuit 11 is the flip-flop mold which has the property shown in drawing 22 as mentioned above, and the phase-comparison range (operating range) is -2pi-2pi.

[0102] Therefore, phase contrast deltatheta after a synchronization can be considered to be the case where it is shown in drawing 25 the same way, and is given by the degree type.

[0103]

$$\begin{aligned} \text{deltatheta} &= (fr-f0)/(KxKtheta) \\ &= fr-KxV0/(KxKtheta) \dots (2) \end{aligned}$$

However, deltatheta makes the case where the speed signal is behind to the reference signal R as +, and makes - the case where it is progressing.

[0104] Moreover, the wait time amount for phase contrast deltatheta is given by the degree type.

$$\text{deltaT} = \text{deltatheta}/(2\pi fr) \dots (3)$$

Here, it is offset voltage V0. A role is to set up the rate band of the rotational speed which can synchronize, and, ideally, the synchronization of it is attained in the frequency range of a degree type.

[0106]

$$f0+KxKthetax2\pi > f > f0-KxKthetax2\pi \dots (4)$$

After initial setting, in the initial-state A point shown in drawing 4, MPU21 turns on a switch 17 while connecting a switch 12 and a switch 15 to a (b) side. Initial setting of these switches 12, 15, and 17 is performed as mentioned above by the change-over signal outputted by MPU21 from the terminal SC 1 and a terminal SC 2.

[0107] Thereby, it is accelerated on the fixed electrical potential difference of the starting electrical potential difference V, and although this starting electrical potential difference V must be an electrical potential difference which can reach a predetermined rate, if a motor 19 is in the specification of a motor 19, it will not be restricted to this.

[0108] It is inputted into MPU21 and a switch 12, while the rotational speed of a motor 19 will be detected by the encoder 20 in detail and inputted into the phase comparator circuit 11 as an encoder pulse signal E, if a motor 19 starts starting.

[0109] Now, since the switch 12 is connected to the (b) side, as for the encoder pulse signal E which an encoder 20 outputs, considering as a reference signal R is only inputted into the phase comparator circuit 11 through a switch 12.

[0110] Therefore, since the same encoder pulse signal E which an encoder 20 outputs to the phase comparator circuit 11 as the encoder pulse signal E and a reference signal R is inputted at the time of acceleration of a motor phase contrast -- not generating -- about -- the phase comparator circuit 11 is shown in drawing 4 (c) -- as -- phase error signal Vtheta of 0 level -- outputting -- an adder 13 -- this phase error signal Vtheta and offset voltage V0 It adds, and although outputted Since the switch 15 is connected to the (b) 16, i.e., starting electrical-potential-difference generating circuit, side, now the

addition output of an adder 13 to Motor Driver 18. The starting electrical potential difference V from the starting electrical-potential-difference generating circuit 16 is inputted into Motor Driver 18 as a speed control signal through a switch 17, without being outputted.

[0111] Based on the starting electrical potential difference V which is this speed control signal, Motor Driver 18 carries out the acceleration and deceleration of the motor 19, and carries out a rotation drive.

[0112] MPU21 performs acceleration control processing, as shown during this acceleration at drawing 5.

[0113] that is, supposing it detects whether MPU21 will fall first whether the edge of the first encoder pulse signal E start starting and coming out, and will start coming out, if a motor 19 starts (step S1), for example, starts in a falling edge, a start, i.e., count actuation, is started for a counter 22 (step S2), and it will wait until it detects the rising edge of the next half period (step S3).

[0114] When the following rising edge is detected, at step S3 MPU21 The value which is made to stop a stop, i.e., count actuation, (step S4), and is equivalent to 1/2 period (T/2) of the frequency T corresponding to the counted value of a counter 22, and the target rate beforehand stored in internal memorandum ** in a counter 22 (it is hereafter called 1 / 2 period value.) It compares and it is confirmed whether it is in agreement (step S5).

[0115] having reached the target rate, when the counted value of a counter 22, and the 1 / 2 period value of MPU21 corresponded -- judging -- the output signal R of an output terminal R, i.e., a reference signal, -- high level (High) -- rising (step S6) -- a switch 12 and a switch 15 -- (**) -- (**) from a side -- it switches to a side (step S7).

[0116] Since it is immediately after starting initiation and a target rate is not reached now, at step S5, the counted value of a counter 22, and 1 / 2 period value are not in agreement, and MPU21 shifts to step S8, and it waits again until it starts count actuation of a counter 22 (step S8) and detects the falling edge of the encoder pulse signal E of the next half period (step S9).

[0117] If the following falling edge is detected by step S9, MPU21 will stop count actuation of a counter 22 (step S10), will measure the time amount for a half period from the rising edge of the encoder pulse signal E to a falling edge by this, will compare the counted value of a counter 22 with the above-mentioned above-mentioned 1 / 2 period value, and it will be confirmed whether it was in agreement or the rate of a motor 19 reached the target rate (step S11).

[0118] having reached the target rate, when the counted value of a counter 22, and the 1 / 2 period value of MPU21 corresponded -- judging -- the output signal (reference signal R) of an output terminal R -- a low level (Low) -- bringing down (step S6) -- a switch 12 and a switch 15 -- (**) -- (**) from a side -- it switches to a side (step S7).

[0119] Moreover, the target rate is reached and it does not break by step S11, but at step S11, when the counted value of a counter 22, and 1 / 2 period value are not in agreement, MPU21 shifts to step S2, and performs the same processing as the above.

[0120] That is, MPU21 has distinguished whether the time amount of the half period of the encoder pulse signal E was measured, and the motor 19 reached the target rate each time as compared with the target rate (step S2 - step S5, step S8 - step S11).

[0121] In the meantime, the motor 19 gathers rotational speed toward the target rate by drive actuation of Motor Driver 18 based on the starting electrical potential difference V from the starting electrical-potential-difference generating circuit 16, as shown in drawing 4 (d).

[0122] moreover, if MPU21 starts and comes out and has the encoder pulse signal E just before detecting, according to this, the output signal (reference signal R) of an output terminal R will be started high-level (step S6), and if the last encoder pulse signal E falls and there comes out and is, according to this, an output signal (reference signal R) will be brought down to a low level (step S12).

[0123] thus -- if it confirms whether the rate of a motor 19 reached the target rate for every half period and a target rate is reached (step S5, step S11) -- starting (step S6) of the output signal (reference signal R) of the above-mentioned output terminal R -- or -- bringing down (step S12) -- carrying out -- a switch 12 and a switch 15 -- (**) -- (**) from a side -- it switches and connects with a side (step S7).

[0124] Namely, as shown in drawing 4 , supposing it completes initial setting in an A point, it starts

rotation of a motor 19 based on the starting electrical potential difference V from the starting electrical-potential-difference generating circuit 16 and the rotational speed of a motor 19 reaches a target rate in a B point. In a B point, since it is a rising edge as the encoder pulse signal E is now shown in drawing 4 (a), MPU21 outputs the high-level reference signal R to the phase comparator circuit 11 at least through a switch 12 according to this from an output terminal R, as shown in drawing 4 (b).

[0125] Then, as shown in the above-mentioned (3) formula, MPU21 waits only for the latency-time (wait) time amount ($T/2 - \Delta T$) computed from ΔT hours found from 1/2 period ($T/2$) and phase contrast $\Delta \theta$ of a period corresponding to a target rate (step S13), and as shown in drawing 4 (b), it reverses the output signal R of an output terminal R, i.e., a reference signal, (step S14). Now, in drawing 4, since the reference signal R was started in the B point, after waiting only for the latency time, a reference signal R is brought down.

[0126] Thus, since MPU21 presumes phase contrast $\Delta \theta$ after a synchronization beforehand and is producing phase contrast $\Delta \theta$ of a reference signal R, in the PLL speed-control system 11, i.e., a phase comparator circuit, a phase is compulsorily locked immediately after a switch.

[0127] After that, MPU21 waits only for $1/[2 \Delta T]$ of the period corresponding to a target rate [2 period ($T/2$) (step S15), and reverses an output signal (reference signal R) (step S14). That is, if MPU21 reaches a target rate and the phase of a reference signal R is adjusted, as shown in drawing 4, it will reverse an output signal (reference signal R) every 1/2 period of the frequency corresponding to a target rate, and will be outputted to the phase comparator circuit 11.

[0128] Therefore, it has the phase contrast of $-\Delta \theta$ to the encoder pulse signal E after C point, and MPU21 outputs at least the standard-of-frequency signal R corresponding to a target rate to the phase comparator circuit 11, as shown in drawing 4 (b). In addition, since phase contrast of the encoder pulse signal E over a reference signal R is set to $\Delta \theta$, $-\Delta \theta$ is given to the phase contrast of a reference signal R.

[0129] And if at least the above-mentioned reference signal R is inputted into the phase comparator circuit 11 from MPU21, the phase comparator circuit 11 will perform above-mentioned processing of operation, and as shown in drawing 4 (c), it will output phase error signal V_{θ} corresponding to phase contrast $\Delta \theta$ of the encoder pulse signal E and a reference signal R to an adder 13.

[0130] An adder 13 is the offset voltage V_0 supplied from this error signal V_{θ} and the offset voltage generating circuit 14. It adds, and outputs to Motor Driver 18 through a switch 15 and a switch 17, and Motor Driver 18 drives a motor 19 based on the addition output from this adder 13.

[0131] Therefore, like before, as shown in drawing 4 (d), overshoot of the rate of the motor 19 by phase contrast $\Delta \theta$ of the encoder pulse signal E and a reference signal R. Even if it can control and rises with open-loop [by the starting electrical potential difference V from the starting electrical-potential-difference generating circuit 16 as a speed-control means], the transient response property of the PLL speed-control (phase comparator circuit 11) system as a phase simulation control means can be raised.

[0132] Consequently, if a target rate is reached while being able to raise a motor 19 at a target rate promptly, you can make it stabilized promptly.

[0133] Drawing 6 - drawing 11 are drawings showing the gestalt of operation of the 2nd of the motor speed regulating device of this invention, and the gestalt of this operation uses an EXOR mold for the phase comparator of a phase comparator circuit.

[0134] The gestalt of this operation is applied to the same motor speed regulating device as the gestalt of implementation of the above 1st, gives the same sign to the same component as above-mentioned drawing 1 and drawing 2 in explanation of the gestalt of this operation, and omits the detailed explanation.

[0135] In drawing 6, the motor speed regulating device 40 is equipped with the phase comparator circuit 41, a switch 42, an adder 13, the offset voltage generating circuit 14, a switch 15, the starting electrical-potential-difference generating circuit 16, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU43, and counter 22 grade, and the phase comparator circuit 41, a switch 42, and MPU43 differ from the gestalt of implementation of the above 1st.

[0136] That is, the phase comparator circuit (phase simulation control means) 41 was constituted as shown in drawing 7, and it is equipped with a phase comparator 44, the count signal generator 32,

the switch 45, the counter 46, and the D/A-converter 36 grade.

[0137] The reference signal R with which at least the so-called EXOR type of that shows a phase comparator 44 to the encoder pulse signal E which is a phase comparator circuit and is shown in a phase comparator 44 at drawing 8 (a), and drawing 8 (b) is inputted.

[0138] A phase comparator 44 takes EXOR (exclusive OR) of this encoder pulse signal E inputted and a reference signal R, outputs the phase detecting signal P which is shown in drawing 8 (c) and which switches to a low as yes to a switch 45, if the high phase detecting signal P is inputted, it turns on a switch 45, and it outputs the count signal inputted from the count signal generator 32 to a counter 46.

[0139] Like the gestalt of implementation of the above 1st, as shown in drawing 8 (d), the count signal generator 32 generates the count signal of fixed high frequency, outputs it to a switch 45, and outputs a switch 45 to a counter 46 as a count UP signal which shows the count signal inputted from the count signal generator 32 to drawing 8 (e).

[0140] A counter 46 carries out counting of the count UP signal inputted through a switch 45, and outputs it to D/A converter 36.

[0141] D/A converter 36 carries out D/A conversion of the count result of a counter 46, and outputs it to the adder 13 shown in drawing 7 as phase error signal Vtheta of the analog corresponding to the phase contrast shown in drawing 8 (f).

[0142] therefore -- about -- although the phase comparator circuit 41 has a property which has the range of 0 - pi as phase-comparison range (operating range) as shown in drawing 23 -- about -- in the phase comparator circuit 41, offset is set as D/A converter 36 so that error signal Vtheta in phase contrast pi / 2 may be set to 0 from the reasons of the handling of the signal, as shown in drawing 9 .

[0143] Consequently, phase contrast deltatheta' at the time of a synchronization becomes the value which is given by the degree type so that clearly also from drawing 9 .

[0144] deltatheta'=delta theta+pi / 2 -- phase contrast deltatheta shown in phase contrast deltatheta which had similarly set up the feedback multiplier K and Ktheta and was shown in drawing 22 in the motor speed regulating device 40 again, and drawing 9 is the about the same -- although it becomes phase reference, phase contrast deltatheta' which actually synchronizes differs only pi/2. Moreover, waiting (wait) time amount deltaT' equivalent to phase contrast deltatheta' becomes like a degree type.

[0145]

$$\begin{aligned} \text{deltaT}' &= \text{deltatheta}' / (2\pi f_r) = (\text{delta theta} + \pi / 2) / (2\pi f_r) \\ &= \text{deltaT} + T/4 \dots (5) \end{aligned}$$

Therefore, if the concrete waiting (wait) time amount of an initial phase is calculated using (5) types, it will become like the following formulas.

[0146]

$$T/2 - \text{deltaT}' = T/2 - (\text{deltaT} + T/4) = T/4 - \text{deltaT} \dots (6)$$

Although MPU43 performs the same actuation as the gestalt of implementation of the above 1st, it performs different processing in calculation of the above-mentioned latency time etc.

[0147] Moreover, a switch 42 is switched on / turned off under control of MPU43, and outputs at least the reference signal R inputted from the output terminal R of MPU43 to the phase comparator circuit 41 at the time of ON.

[0148] Next, it explains based on the flow chart which shows actuation of the gestalt of this operation to drawing 10 .

[0149] In addition, in explanation of drawing 10 , in the same processing step as above-mentioned drawing 5 , the same step number is attached and the detailed explanation is omitted.

[0150] if MPU43 of the motor speed regulating device 40 performs control in the acceleration phase like the case of above-mentioned drawing 5 (steps S1-S6, steps S8-S12) and the rate of a motor 19 reaches synchronous speed -- a switch 42 -- ON -- carrying out (step S21) -- about -- a reference signal R is inputted into the phase comparator circuit 41.

[0151] namely, -- supposing it completes initial setting in the A point of drawing 11 , it starts rotation of a motor 19 based on the starting electrical potential difference V from the starting electrical-potential-difference generating circuit 16 and the rotational speed of a motor 19 reaches a target rate in a B point -- a switch 42 -- ON -- carrying out (step S21) -- about -- a reference signal R

is inputted into the phase comparator circuit 41.

[0152] At this time, MPU43 outputs error signal Vtheta of a low level from an output terminal R as the encoder pulse signal E is [the encoder pulse signal E] a low level about high-level error signal Vtheta as it is high-level (step S6, step S12).

[0153] then, MPU43 will reverse error signal Vtheta currently outputted from the output terminal R, if it waits only for the latency time for an initial phase (T/4-deltaT) shown in the above-mentioned (6) formula (step S22) -- making (step S14) -- about -- the property of the phase comparator circuit 41 to T/2 -- waiting (step S15) -- a switch 15 -- (**) -- (**) from a side -- it switches to a side (step S23).

[0154] That is, there is an output of error signal Vtheta begun while waiting for T/2 from the property of the phase comparator circuit 41. As shown in drawing 11 (c), specifically, error signal Vtheta will be outputted at C point.

[0155] Therefore, if a control system is started at D point shown in drawing 11 and it switches to the phase comparator circuit 41 from the electrical-potential-difference generating circuit 16, since the encoder pulse signal E and a reference signal R will become the phase contrast of a synchronous condition mostly, in a PLL speed-control (phase comparator circuit 41) system, a phase is locked compulsorily.

[0156] Then, after MPU43 reverses the reference signal R outputted from an output terminal R (step S24), the frequency corresponding to a target rate waits for it 1 / 2 periods (T/2) (step S25), it returns to step S24, and reverses error signal Vtheta similarly (step S24). That is, MPU43 reverses the output signal R of an output terminal R, i.e., a reference signal, every 1/2 period of the frequency of a target rate after that.

[0157] Therefore, it has the phase contrast of -deltatheta' to the encoder pulse signal E after D point, and MPU43 outputs the standard-of-frequency signal R corresponding to a target rate, as shown in drawing 11 (b).

[0158] Consequently, as shown in drawing 11 (d), even if overshoot of the rate of the motor 19 by the phase contrast of the encoder pulse signal E and a reference signal R is reduced and it starts it with open-loop [of the starting electrical potential difference V which is a fixed electrical potential difference], it can raise the transient response property of a PLL speed-control system.

[0159] In addition, as for the phase comparator circuit 11, the comparison range at least that of the gestalt of implementation of the above 1st - Since it is 2pi-2pi, and the memory (flip-flop) mold strongly influenced in the past condition although it is large, it is weak in a noise. On the other hand, although the comparison range of the phase comparator circuit 41 is as narrow as that of the gestalt of this operation as 0 - pi, since it is a non-memory type, it has the description that it is strong in a noise. As for a difference of the phase comparator circuit 41, at least the above mainly depends at least the phase comparator circuit 11 on the property of the phase comparator 31 and phase comparator 44.

[0160] As mentioned above, in this invention, even if at least the above uses any of the phase comparator circuit 11 and a phase comparator 44, the purpose of invention can be attained enough.

[0161] Drawing 12 is drawing showing the gestalt of operation of the 3rd of the motor speed regulating device of this invention, and the gestalt of this operation carries out current feedback of the output of Motor Driver of the gestalt of operation of the above 1st, and starts it with a fixed current.

[0162] Then, in explanation of the gestalt of this operation, the same sign is given to the same component as the gestalt of the 1st operation, and the detailed explanation is omitted.

[0163] In drawing 12 namely, the motor speed regulating device 50 The phase comparator circuit 11, a switch 12, an adder 13, the offset voltage generating circuit 14, a switch 15, the starting electrical-potential-difference generating circuit 16, a switch 17, Motor Driver 18, a current feedback circuit 51, a motor 19, an encoder 20, MPU21, and counter 22 grade Although it has and has the same circuitry as the motor speed regulating device 10 of drawing 1 , the current feedback circuit 51 which makes Motor Driver 18 carry out current feedback of the output of Motor Driver 18 is merely formed.

[0164] That is, in the gestalt of this operation, a circuit including the starting electrical-potential-difference generating circuit 16 and a current feedback circuit 51 functions as a speed-control means.

[0165] Therefore, in the motor speed regulating device 50 of the gestalt of this operation, in an acceleration process until a motor 19 reaches a target rate, the drive current supplied to a motor 19 based on the current fed back by the current feedback circuit 51 can be controlled uniformly, and acceleration control of the motor 19 can be carried out with a fixed current in an acceleration process.

[0166] Drawing 13 is drawing showing the gestalt of operation of the 4th of the motor speed regulating device of this invention, and the gestalt of this operation raises gradually the starting electrical potential difference of the starting electrical-potential-difference generating circuit of the gestalt of implementation of the above 3rd, and performs smooth acceleration.

[0167] Then, in explanation of the gestalt of this operation, the same sign is given to the same component as the motor speed regulating device 50 of drawing 12, and the detailed explanation is omitted.

[0168] In drawing 13, although the motor speed regulating device 60 is carrying out the phase of the same configuration as drawing 12, the starting electrical-potential-difference generating circuits 61 merely differ.

[0169] That is, in drawing 13, if an acceleration instruction is inputted from MPU21, the starting electrical-potential-difference generating circuit 61 will raise the starting electrical potential difference V gradually based on the power surge program set up beforehand, as a graph shows.

[0170] The change-over signal of the switch 17 which outputs the acceleration instruction from this MPU21 to a switch 17 from that terminal SC 1 is used.

[0171] Moreover, as for the motor speed regulating device 60, the output of Motor Driver 18 is fed back to Motor Driver 18 by the current feedback circuit 51 like the case of the gestalt of implementation of the above 3rd.

[0172] Therefore, it sets to the motor speed regulating device 60 of the gestalt of this operation. If initiation is directed, while rotation of a motor 19 outputs a change-over signal to a switch 17 and the starting electrical-potential-difference generating circuit 61 and turns on a switch 17, MPU21 A switch 15 and a switch 12 are connected to a (b) side, and the starting electrical potential difference V which rises gradually from the starting electrical-potential-difference generating circuit 61 is outputted to Motor Driver 18 through a switch 15 and a switch 17.

[0173] Although Motor Driver 18 carries out the rotation drive of the motor 19 based on this starting electrical potential difference V that rises gradually, since the current outputted to a motor 19 by the current feedback circuit 51 is fed back, it can be made to be able to respond to the starting electrical potential difference V concerned which rises gradually, can raise a current gradually, and can accelerate a motor 19 smoothly.

[0174] In addition, even if it does not form a current feedback circuit 51 in this case, the electrical potential difference supplied to a motor 19 from Motor Driver 18 can be raised gradually, and a motor 19 can be accelerated smoothly.

[0175] Drawing 14 and drawing 15 are drawings showing the gestalt of operation of the 5th of the motor speed regulating device of this invention, and the gestalt of this operation applies frequency error feedback instead of a starting electrical-potential-difference generating circuit as a speed-control means in the gestalt of implementation of the above 1st.

[0176] Then, in explanation of the gestalt of this operation, the same sign is given to the same component as the gestalt of implementation of the above 1st, and the detailed explanation is omitted.

[0177] drawing 14 -- setting -- the motor speed regulating device 70 -- about -- the phase comparator circuit 11, a switch 12, a switch 71, an adder 13, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU72, a counter 22, and D/A-converter 73 grade -- having -- **** -- about -- the phase comparator circuit 11, a switch 12, an adder 13, a switch 17, Motor Driver 18, a motor 19, an encoder 20, and a counter 22 are the same as that of the gestalt of implementation of the above 1st.

[0178] A switch 71 turns off and only the frequency error feedback signal Vf is inputted into an adder 13 until phase error signal Vtheta from the phase comparator circuit 11 is inputted into an adder 13 at least through the frequency error feedback signal Vf and switch 71 from MPU72 and a motor 19 reaches a target rate.

[0179] A switch 71 is switched on / turned off with the change-over signal outputted to a switch 12

from the terminal SC 2 of MPU72, is the timing by which a switch 12 is switched to a (b) side from a (b) side, and serves as ON.

[0180] The encoder pulse signal E of an encoder 20 is inputted into MPU72 like the case of the gestalt of the 1st operation, and MPU72 counts the half period of the encoder pulse signal E using a counter 22, and outputs an error with the count for a half period corresponding to a target rate to D/A converter 73 as a counter error signal.

[0181] D/A converter 73 carries out D/A conversion of this counter error signal, and outputs it to an adder 13 as a frequency error feedback signal Vf.

[0182] Therefore, MPU72 and D/A converter 73 The speed signal (frequency error feedback signal Vf) based on the frequency error signal of the target rate which are the detecting signal (encoder pulse signal E) which the encoder 20 as a detection means outputs, and a predetermined reference signal is outputted. Functioning as a frequency synchronous control means which carries out feedback control of the rate of a motor 19, an adder 13 functions as a selection means to add and output the speed control signal (error signal Vtheta) which the phase comparator circuit 11 outputs to the extent that it is this frequency synchronous control means and a phase simulation control means.

[0183] Next, actuation of the gestalt of this operation is hereafter explained based on the flow chart of drawing 15.

[0184] In addition, in the following explanation, the same step number is given to the processing step of drawing 5 of the gestalt of implementation of the above 1st, and the same processing step, and the detailed explanation is omitted.

[0185] If a motor 19 starts, supposing the edge of the first encoder pulse signal E will detect a standup and falling (step S1) and will start in a falling edge like the above, MPU72 starts count actuation of a counter 22 (step S2), and it will wait for it until it detects the following rising edge (step S3). At step S3, if the following rising edge is detected, MPU21 will stop count actuation of a counter 22 (step S4), and will output a counter error signal to D/A converter 73 (step S31).

[0186] And D/A converter 73 carries out D/A conversion of this counter error signal, and outputs it to an adder 13 as a frequency error feedback signal Vf, and now, since the switch 71 is off, an adder 13 outputs this frequency error feedback signal Vf to Motor Driver 18 through a switch 17.

[0187] Motor Driver 18 makes a motor 19 drive based on the frequency error feedback signal Vf.

[0188] Next, it is confirmed whether MPU72 compares the counted value of a counter 22 with 1 / 2 period value of the frequency T corresponding to the target rate beforehand stored in internal memorandum **, and is in agreement (step S5). having reached the target rate, when the counted value of a counter 22, and the 1 / 2 period value of MPU72 corresponded -- judging -- the output signal of an output terminal R -- high level (High) -- rising (step S6) -- a switch 12 -- (**) -- (**) from a side -- a switch 71 is made to turn on while switching to a side (step S33)

[0189] Since it is immediately after starting initiation and a target rate is not reached now, at step S5, the counted value of a counter 22, and 1 / 2 period value are not in agreement, and MPU21 shifts to step S8, and it waits again until it starts count actuation of a counter 22 (step S8) and detects the falling edge of the following encoder pulse signal E (step S9). By step S9, if the following falling edge is detected, MPU72 will stop count actuation of a counter 22 (step S10), and will output a counter error signal to D/A converter 73 like the above (step S32).

[0190] Next, MPU72 measures the time amount for a half period from the rising edge of the encoder pulse signal E to a falling edge, compares the counted value of a counter 22 with the above-mentioned above-mentioned 1 / 2 period value, and it is confirmed whether it is in agreement (step S11). having reached the target rate, when the counted value of a counter 22, and the 1 / 2 period value of MPU72 corresponded -- judging -- the output signal of an output terminal R -- a low level (Low) -- bringing down (step S6) -- a switch 12 -- (**) -- (**) from a side -- it is alike in if it switches to a side, and a switch 71 is made to turn on (step S33)

[0191] Therefore, at this time, error signal Vtheta from the phase comparator circuit 11 is inputted, and at least the frequency error feedback signal Vf adds this frequency error feedback signal Vf and error signal Vtheta, and outputs an adder 13 to an adder 13 through a switch 17 at Motor Driver 18 as a speed control signal.

[0192] Moreover, the target rate is reached and it does not break by step S11, but at step S11, when

the counted value of a counter 22, and 1 / 2 period value are not in agreement, MPU72 shifts to step S2, and performs the same processing as the above.

[0193] That is, MPU72 has distinguished whether the motor 19 reached the target rate each time as compared with a target rate while it measures the time amount of the half period of the encoder pulse signal E and outputs a counter error to D/A converter 73 (step S2 - step S4, step S31, step S5, step S8 - step S10, step S32, step S11).

[0194] In the meantime, the motor 19 gathers rotational speed from MPU72 toward the target rate based on the frequency error feedback signal Vf supplied to an adder 13 through D/A converter 73 by drive actuation of Motor Driver 18.

[0195] Namely, MPU72 counts the half period of the encoder pulse signal E with a counter 22, and counts a part for the half period corresponding to a target rate, outputs the error of the count for a half period of the encoder pulse signal E, and the count for a half period of a target rate to D/A converter 73, and it carries out D/A conversion with D/A converter 73, and it outputs it to an adder 13 as a frequency error feedback signal Vf.

[0196] It is Ne about the number of counts of N0 and the encoder pulse signal E in the number of counts for a half period of a now and target rate. If it carries out, an original frequency error will become like a degree type.

[0197]

$$1/Ne-1/N0 = (N0-Ne)/(N0 \times Ne) \dots (6)$$

However, in order to simplify count in the gestalt of this operation $(N0-Ne)/(N0 \times Ne) \times KN \times (N0-Ne) \dots (7)$,

It is carrying out.

[0198] Therefore, in the gestalt of this operation, since it is completed as a target rate by the rotational speed of a motor 19 with the frequency error feedback signal Vf While being stabilized and being able to make frequency synchronization start also about a controlled system with large inertia and a slow speed of response, it has phase contrast deltatheta after a synchronization (in the gestalt of this operation). Since at least the $\text{deltatheta}=0$ reference signal R is inputted into the phase comparator circuit 11, it can be drawn in phase simulation immediately after switching a control system, and can control further that the rate of a motor 19 overshoots, and the transient response property of a PLL speed-control system can be raised further.

[0199] Moreover, in the gestalt of this operation, when changing not only starting of a motor 19 but rotational speed, a good transient characteristic can be acquired by performing same actuation.

[0200] That is, if an instruction of rate modification goes into MPU72 from the control means which is not illustrated, while changing a setup of the period T of a target rate within MPU72, next turning OFF a switch 71, a switch 12 is returned to a (b) side and it switches to the control system of only the frequency error feedback signal Vf, i.e., the control system of a frequency synchronization control means.

[0201] If it controls like the above and the target rate after the rotational speed of a motor 19 changing is reached after that based on the flow chart of above-mentioned drawing 15, like the above, an initial phase will be doubled and phase simulation control will be performed.

[0202] Therefore, the gestalt of this operation can raise the response characteristic at the time of modification of the rotational speed of a motor 19, when carrying out the acceleration and deceleration of the rotational speed of a motor 19 and changing it.

[0203] Drawing 16 is drawing showing the gestalt of operation of the 6th of the motor speed regulating device of this invention, and, as for the gestalt of this operation, at least in that of the gestalt of implementation of the above 5th, at least that of the gestalt of implementation of the above 2nd transposes the phase comparator circuit 11 to the phase comparator circuit 41.

[0204] Then, in explanation of the gestalt of this operation, the same sign is given to the same component as above-mentioned drawing 14, drawing 6, and drawing 7, and the detailed explanation is omitted.

[0205] In drawing 16, the motor speed regulating device 80 is equipped with the phase comparator circuit 41, a switch 42, a switch 71, an adder 13, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU72, the counter 22, and the D/A-converter 73 grade, and the phase comparator circuit 41 differs from the gestalt of implementation of the above 5th.

[0206] That is, as mentioned above, the phase comparator circuit 41 was constituted, as shown in drawing 7, and it is equipped with a phase comparator 44, the count signal generator 32, the switch 45, the counter 46, and the D/A-converter 36 grade.

[0207] A phase comparator 44 is a phase comparator circuit, and at least the so-called EXOR type of that performs the same processing as the above, and it outputs error signal V_{θ} for it to an adder 13 through a switch 71.

[0208] Therefore, the latency time when an initial phase having to be $\Delta\theta = \pi/2$ and reaching in this case, the waiting (wait) time amount, i.e., the target rate, of an initial phase, is $T/4$.

[0209] That is, in the gestalt of this operation, starting actuation of a motor 19 is performed like the processing shown in the flow chart of drawing 15, and rotational speed converges it on a target rate according to an operation of the frequency error feedback signal V_f like the case of the gestalt of implementation of the above 5th.

[0210] Then, although phase error signal V_{θ} is switched to the control system added with an adder 13 when a switch 71 turns on, the latency time of this initial phase is set as $T/4$, and subsequent processing is performed like the case of the gestalt of implementation of the above 2nd.

[0211] Therefore, according to the gestalt of this operation, since at least that of a non-memory type is using the phase comparator circuit 41, it is strong in a noise, and since the frequency error is fed back, it can be made to be able to operate appropriately [the phase-comparison range is not wide and], and at least that of a memory type can form the stable control system rather than the case where the phase comparator circuit 11 is used, like the gestalt of the 5th operation.

[0212] Drawing 17 is drawing showing the gestalt of operation of the 7th of the motor speed regulating device of this invention, and although the gestalt of this operation feeds back a frequency error as well as the gestalt of implementation of the above 5th, it performs feedback of a frequency error without minding MPU.

[0213] Then, in explanation of the gestalt of this operation, the same sign is given to the same component as drawing 14, and the detailed explanation is omitted.

[0214] In drawing 17, the motor speed regulating device 90 is equipped with the phase comparator circuit 11, a switch 12, a switch 71, an adder 13, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU91, the counter 22, the frequency synchronization control circuit 92, and the current-feedback-circuit 93 grade, and the frequency synchronization control circuit 92 (frequency synchronization control means) is equipped with the reference voltage generator 94, F/V converter 95, and the electrical-potential-difference comparator 96 grade.

[0215] In the motor speed regulating device 90, since feedback of a frequency error is performed without minding MPU91, MPU91 is equipped with the same function as MPU21 of the gestalt of the 1st operation. However, the change-over signal from the terminal SC 2 of MPU91 is inputted as a switch 12 switch 71, and a switch 71 is turned on to the switch timing of a switch 12.

[0216] By the reference voltage generator 94, the frequency synchronous-control circuit 92 generates the standard-of-frequency potential V_0 ($V_0 = f_r/K$) corresponding to reference frequency, and is outputted to the electrical-potential-difference comparator 96, and the output voltage of F/V converter 95 is further inputted into the electrical-potential-difference comparator 96.

[0217] The encoder pulse signal E from an encoder 20 is inputted into F/V converter 95, and F/V converter 95 changes namely, changes [F/V], and outputs the frequency of the encoder pulse signal E to an electrical potential difference at the electrical-potential-difference comparator 96.

[0218] The electrical-potential-difference comparator 96 is the reference potential V_0 from the above-mentioned reference voltage generator 94. By comparing the electrical potential difference from F/V converter 95, they are the encoder pulse signal E and a reference potential V_0 . The frequency error signal corresponding to a difference, i.e., the difference of the frequency of the encoder pulse signal E and the frequency of a reference signal, is generated, and it outputs to an adder 13.

[0219] Moreover, the current feedback circuit 93 is established in the motor speed regulating device 90, this current feedback circuit 93 is the same as the current feedback circuit 51 shown in drawing 12 or drawing 13, and it is for carrying out acceleration control of the motor 19 with a fixed current by Motor Driver 18.

[0220] And in the motor speed regulating device 90, since the phase comparator circuit 11 is a

memory type, the waiting (wait) time amount of an initial phase is $T/2$.

[0221] Therefore, since the frequency error feedback loop is performed without minding MPU91 while being able to form the control system which could control the speed appropriately even if the phase-comparison range was not wide, and was stabilized like the gestalt of implementation of the above 6th, since the frequency error is fed back, the burden of MPU91 is mitigable.

[0222] Moreover, the gestalt of this operation is what paid its attention to the initial phase at the time of a control change-over, can separate the frequency synchronous control circuit 92 as a frequency synchronous control means (speed-control means) from MPU91, and can process it appropriately also as another circuit.

[0223] Moreover, although frequency error feedback processing is performed based on the frequency difference of the frequency and reference frequency of the encoder pulse signal E, rotational speed may be made to reach a target rate in the gestalt of this operation by not restricting frequency error feedback processing to this, and performing the so-called PI control or PID control to rotational speed for example.

[0224] Drawing 18 is drawing showing the motor speed regulating device of this invention, and the gestalt of operation of the 8th of the motor speed-control approach, and if the gestalt of this operation reaches a target rate while carrying out the acceleration and deceleration of the motor rotational speed toward a target rate by frequency error feedback, it will switch it to the phase simulation control by the addition signal of the reference voltage and the phase error signal which were set as the target rate.

[0225] In explanation of the gestalt of this operation, about the same component as above-mentioned drawing 1 , drawing 6 , or drawing 14 , the same sign is attached and the detailed explanation is omitted.

[0226] The motor speed regulating device 100 is equipped with the phase comparator circuit 41, a switch 12, an adder 13, D/A converter 102, switches 15 and 17, Motor Driver 18, a motor 19, an encoder 20, MPU101, the counter 22, and the D/A-converter 73 grade in drawing 18 .

[0227] In the motor speed regulating device 100, the phase comparator circuit 41 is used, at least that of the memory type shown in drawing 6 compares the phase of the reference signal R inputted from the encoder pulse signal E itself inputted through the encoder pulse signal E and a switch 12, or MPU101, and the phase comparator circuit 41 outputs error signal V_{θ} for it to an adder 13.

[0228] MPU101 is the reference voltage V_0 corresponding to [output the digitized output corresponding to a target rate to D/A converter 102, and D/A converter 102 carries out D/A conversion of this digitized output, and] a target rate. It outputs to an adder 13.

[0229] Moreover, MPU101 counts a part for the half period corresponding to a target rate, outputs the error of the count for a half period of the encoder pulse signal E, and the count for a half period of a target rate to D/A converter 73, and it carries out D/A conversion with D/A converter 73, and it outputs it to a switch 15 as a frequency error feedback signal V_f while it counts the half period of the encoder pulse signal E with a counter 22.

[0230] In the gestalt of this operation, at the time of acceleration and deceleration, a switch 12 and a switch 15 are connected to a (b) side, and speed adjusting control of the motor 19 is carried out to a target rate with the frequency error feedback signal V_f inputted into a switch 15 through D/A converter 73 from MPU101. That is, the motor speed regulating device 100 performs speed adjusting control of a motor 10 by the frequency error synchronous control at the time of acceleration and deceleration, and carries out the acceleration and deceleration of the motor 10 to a target rate.

[0231] if the rotational speed of a motor 19 reaches a target rate -- a switch 12 and a switch 15 -- a (b) side -- switching -- about -- the phase error signal V which the phase comparator circuit 41 outputs -- reference voltage V_0 corresponding to the target rate outputted through D/A converter 102 from theta and MPU101 It adds with an adder 13 and the roll control of a motor 19 is performed based on this addition result.

[0232] And reference voltage V_0 Since it uses and the memory type is used as a phase comparator circuit 41, phase contrast $\Delta\theta$ is $\Delta\theta=0$ and the waiting (wait) time amount of an initial phase is $T/2$.

[0233] Thus, in the gestalt of this operation, when PLL control tends to draw in a phase simulation condition, a frequency can be delicately changed by phase error signal V_{θ} , a phase can be

shifted, and phase simulation can be realized.

[0234] Although a frequency is delicate at this time, since it changes, a frequency error signal may occur in the magnitude of extent which cannot be disregarded depending on the property or feedback gain of a controlled system (motor 19), and phase simulation control is made unstable.

[0235] In such a case, it is reference voltage V0 like the gestalt of this operation. It can respond by preparing and separating the frequency error feedback signal Vf in a phase simulation process.

[0236] Moreover, according to the gestalt of this operation, by changing the target rate in MPU101, the rotational speed of a motor 19 can be changed easily and it can apply also to control of the motor 19 from which a target rate changes.

[0237] Furthermore, in the gestalt of this operation, although at least that of a memory type is using the phase comparator circuit 41, it can change also into the thing of a non-memory type easily.

[0238] Drawing 19 - drawing 21 are drawings showing the gestalt of operation of the 9th of the motor speed regulating device of this invention, and when the acceleration and deceleration of the gestalt of this operation are carried out to a target rate by the feedback control based on a frequency error signal and the rotational speed of a motor reaches a target rate, while switching a control system to phase simulation control, it is made for the control signal supplied to Motor Driver to become continuously.

[0239] In the gestalt of this operation, since a note is made as a phase comparator circuit and the thing of a mold is used, in explanation of the gestalt of this operation, the same sign is attached and the detailed explanation is omitted about the same component as above-mentioned drawing 1 and drawing 2.

[0240] The motor speed regulating device 110 is equipped with the phase comparator circuit 11, a switch 12, an adder 13, a switch 15, a switch 17, Motor Driver 18, a motor 19, an encoder 20, MPU111, a counter 22, D/A converter 112, the control signal generator 113, F/V converter 114, and the A/D-converter 115 grade in drawing 19.

[0241] The phase comparator circuit 11 is the same memory type as what was shown in above-mentioned drawing 1 and drawing 2, generates phase error signal Vtheta from the reference signal R as shown in the encoder pulse signal E as shown in drawing 20 (a), and drawing 20 (b), and outputs it to an adder 13.

[0242] An adder 13 is such phase error signal Vtheta and reference voltages V0. It adds and an addition signal is outputted to a switch 15.

[0243] MPU111 is the reference voltage V0 corresponding to [output the digitized output corresponding to a target rate to D/A converter 112, and D/A converter 112 carries out D/A conversion of this digitized output, and] a target rate. It outputs to an adder 13 and the control signal generator 113.

[0244] The encoder pulse signal E from an encoder 20 is inputted into F/V converter 114, and F/V converter 114 changes the frequency of this encoder pulse signal E into a voltage signal, and outputs it to the control signal generator 113.

[0245] The control signal generator 113 is the voltage signal which is the control signal generator of PI method or a PID method, and is inputted from this F/V converter 114, and the reference voltage V0 inputted from MPU111 through D/A converter 112. It is based, a speed control signal as shown in drawing 20 (d) is generated, and it outputs to a switch 15. That is, the control signal generator 113 generates the voltage signal inputted from F/V converter 114, and the speed control signal corresponding to the difference of a reference potential V0.

[0246] a switch 15 is connected to a (b) side until the actuation is controlled by MPU6 and a motor 19 reaches a target rate like the gestalt of each above-mentioned implementation -- having -- a motor 19 -- a target rate -- reaching -- predetermined latency-time progress -- if it carries out, it will be switched to a (b) side.

[0247] While the output from a switch 15 is inputted into Motor Driver 18 through a switch 17, it is inputted also into A/D converter 115, and A/D converter 115 carries out digital conversion of the signal of the analog supplied to this Motor Driver 18, and outputs it to MPU111.

[0248] Therefore, above-mentioned D/A converter 112, the control signal generator 113, and F/V converter 114 are the reference potential V0 as a predetermined reference signal. It functions as a frequency synchronous control means to output the speed control signal based on the frequency

error signal of the encoder pulse signal E which is a detecting signal of the encoder 20 as a detection means.

[0249] And after it incorporates this speed control signal through A/D converter 115 and the rate of a motor 10 reaches a target rate, MPU111 sets up a reference signal and outputs it from an output terminal R so that it may become what the speed control signal outputted from an adder 13 followed.

[0250] If the rotational speed of a motor 10 reaches a target rate, since a switch will be switched to a (b) side and the reference signal from the above MPU 11 will be inputted as a reference signal R, the phase comparator circuit 11 From this reference signal R and the encoder pulse signal E, error signal Vtheta shown in drawing 20 (c) is generated, and it outputs to an adder 13. An adder 13 This error signal Vtheta and reference potential V0 It adds and the speed control signal shown in drawing 20 (d) is outputted to Motor Driver 18 through switches 15 and 17.

[0251] Therefore, the speed control signal supplied to Motor Driver 18 becomes the continuous thing as shown in drawing 20 (d).

[0252] Next, based on the flow chart which shows actuation of the gestalt of this operation to drawing 21 , it explains below.

[0253] In addition, in drawing 21 , the same step number is given to the same processing step as above-mentioned drawing 5 , and the detailed explanation is omitted.

[0254] if MPU111 of the motor speed regulating device 110 performs control in an acceleration phase like the case of above-mentioned drawing 5 (steps S1-S6, steps S8-S12) and the rate of a motor 19 reaches synchronous speed -- a switch 42 -- ON -- carrying out (step S21) -- about -- a reference signal R is inputted into the phase comparator circuit 41.

[0255] Namely, in the A point of drawing 20 , connect a switch 12 and a switch 15 to a (b) side, and a switch 17 is turned ON. If rotation of a motor 19 will be started based on the speed control signal from the control signal generator 113 if initial setting is completed, and the rotational speed of a motor 19 reaches a target rate in a B point The reference signal R outputted from an output terminal R is set up and outputted to high level or a low level according to whether the encoder pulse signal E is high-level or it is a low level (step S6, step S12).

[0256] then, MPU43 -- A/D converter 115 -- minding -- taking -- ** (step S41) and initial phase deltatheta and waiting (wait) time amount deltaT -- computing (step S42) -- a switch 12 and a switch 15 -- (**) -- it switches to a side (step S43). Reference potential V0 which MPU111 outputs by this as error signal Vtheta which the phase comparator circuit 11 outputs Through a switch 15 and a switch 17, the addition output added with the adder 13 is supplied to Motor Driver 18 as a speed control signal, and, as for Motor Driver 18, starts speed control with this speed control signal.

[0257] Then, if it waits only for the latency time for an initial phase (T/2-deltaT) (step S44), as shown in drawing 20 (b), MPU111 The reference signal R currently outputted from the output terminal R is reversed (step S14), and 1 / processing which it waits [processing] two periods (T/2) (step S15), and reverses an output signal (reference signal R) in D point of drawing 20 of the frequency corresponding to a target rate is repeated successively (step S14). That is, if MPU111 reaches a target rate and the phase of a reference signal R is adjusted, as shown in drawing 20 , it will reverse a reference signal R every 1/2 period of the frequency corresponding to a target rate, and will be outputted to the phase comparator circuit 11.

[0258] Therefore, as MPU111 is shown in drawing 20 (b), it synchronizes with the encoder pulse signal E after D point, and at least the standard-of-frequency signal R corresponding to a target rate is outputted to the phase comparator circuit 11.

[0259] And if at least the above-mentioned reference signal R is inputted into the phase comparator circuit 11 from MPU111, the phase comparator circuit 11 will perform above-mentioned processing of operation, and as shown in drawing 4 (c), it will output phase error signal Vtheta corresponding to the phase contrast of the encoder pulse signal E and a reference signal R to an adder 13.

[0260] An adder 13 is the offset voltage V0 supplied from MPU111 through this error signal Vtheta and D/A converter 112. It adds, and outputs to Motor Driver 18 through a switch 15 and a switch 17, and Motor Driver 18 drives a motor 19 based on the addition output from this adder 13.

[0261] And as shown in drawing 20 (d), since a switch of a control system will be performed [if the rotational speed of a motor 19 approaches a target rate] as mentioned above so that this speed

control signal may continue when rotation of a motor 19 reaches a target rate although it is reversed in the direction which controls rotation of a motor 19, the continuity of a controlled variable is maintained and a speed control signal can raise the transient response property of a speed-control system sharply.

[0262] Therefore, overshoot of the rate of the motor 19 by the phase contrast of the encoder pulse signal E and a reference signal R can be controlled as shown in drawing 4 (d), and the transient response property of the PLL speed-control (phase comparator circuit 11) system as a phase simulation control means can be raised.

[0263] Consequently, while being able to shorten sharply time amount until it is stabilized at a target rate, a speed-control system can be stabilized.

[0264] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of suitable operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned thing, and does not deviate from the summary.

[0265] For example, it sets in the gestalt of the 4th operation from the gestalt of implementation of the above 1st. Although it is a frequency corresponding to a target rate, and the reference signal R with the same phase contrast as the phase contrast after the phase simulation of the encoder pulse signal E is generated and he is trying to supply the phase comparator circuit 11 or the phase comparator circuit 41 when the rotational speed of a motor 19 reaches a target rate Although the hard configuration is the same as that of the gestalt of each above-mentioned implementation when [this] a reference signal R is generated and you may make it supply so that the lead in the operating range of the phase comparator circuit 11 or the phase comparator circuit 41 may be taken at this time to the extent that an initial phase difference is a phase simulation means However, each MPU decides on the waiting (wait) time amount of an initial phase so that all initial phase difference $\Delta\theta$ may come to the core of operating range.

[0266] That is, at least that of the memory type shown in drawing 1 or drawing 2 determines $\Delta\theta=0$, i.e., the latency time, as $T/2$ in the phase comparator circuit 11, and at least that of the non-memory type shown in drawing 6 or drawing 7 determines $\Delta\theta=\pi/2$, i.e., the latency time, as $T/4$ in the phase comparator circuit 41.

[0267] It specifically sets in the gestalt of the 2nd operation. As shown in drawing 9, carrying out phase simulation finally and being stabilized Immediately after being the point of phase contrast $\Delta\theta'$ shown as a stabilized point, and the rotational speed of a motor 19 reaching a target rate, and switching at least a control system to the phase comparator circuit 41, in the gestalt of the 2nd operation, since phase contrast is $\Delta\theta'$, it is easy to draw in a stabilized point.

[0268] However, when the inertia of the load of a motor 19 is large and a response is slow, it does not restrict converging on a stabilized point soon, but it converges, vibrating the surroundings of a stabilized point. It is the largest immediately after the swing width of face of vibration switches a control system with a natural thing. That is, since it synchronizes once it breaks down a phase greatly if there is a possibility of separating from the phase-comparison range depending on swing width of face and it separates from the phase-comparison range when a stabilized point is in the edge of the phase-comparison range like drawing 9, by the time it synchronizes, time amount will be required rather long.

[0269] Then, if a reference signal R is generated and supplied to the phase timing which takes the lead in the operating range of the phase comparator circuit 11 or the phase comparator circuit 41 as mentioned above to the extent that an initial phase difference is a phase simulation means, since a synchronous process will be started from the core of the phase-comparison range, it can prevent separating from the phase-comparison range, and it can be stabilized much more certainly and promptly.

[0270] Moreover, a setup of an initial phase can be simplified and MPU which is a control means can be constituted easily.

[0271] In the gestalt of the 9th operation, the frequency error is fed back from the gestalt of implementation of the above 5th, or it is a reference potential V_0 . According to the effectiveness of making it corresponding to a target rate, the initial phase exists in the core of the operating range of the phase comparator circuit 11 or the phase comparator circuit 41, and has already had the above-

mentioned effectiveness.

[0272]

[Effect of the Invention] While being able to shorten time amount until it can raise sharply the transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal and is stabilized at a target rate according to the motor speed regulating device of invention according to claim 1, a speed-control system can be stabilized.

[0273] When circuitry will be able to become easy when according to the motor speed regulating device of invention according to claim 2 the configuration of the whole speed-control system can be made easy and it incorporates a circuit in hard, cost can be reduced and it constitutes in software, software processing can become easy, loads, such as computation, can be made small, and processing speed can be raised.

[0274] Moreover, the inertia of a motorised system etc. is small, by the system with the quick response of a phase simulation process, since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased, conventionally, an open loop control means can perform the acceleration and deceleration of a motor for the control system which was carrying out acceleration and deceleration by the rate feedback loop, and applicability can be extended.

[0275] Even if according to the motor speed regulating device of invention according to claim 3 it can perform feedback control of a rate based on a frequency error signal and is the case where inertia is the late large control system of a response Since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased while being able to synchronize a frequency certainly The transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal can be raised still more sharply, and while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0276] When according to the motor speed regulating device of invention according to claim 4 the rate of a motor reaches a target rate and switches a control system, while being able to shorten further the time amount based on the phase contrast of a speed signal and a reference signal until it can raise the transient response property of a speed-control system still more sharply and is stabilized at a target rate, a speed-control system can be stabilized.

[0277] When according to the motor speed regulating device of invention according to claim 5 the rate of a motor reaches a target rate and switches a control system to a phase simulation control means, on the frequency corresponding to a target rate And since a reference signal with the phase contrast of the core of the operating range of a phase simulation control means is inputted into a phase simulation control means to a speed signal After switching a control system to a phase simulation control means, it can control separating from the operating range of a phase comparison, and the transient response property of a phase simulation control means can be raised.

[0278] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0279] Moreover, although the phase contrast of the core of the operating range of a phase simulation control means is known beforehand and it is necessary to change a frequency, since it is not necessary to change phase contrast with a target rate, a reference signal can be generated easily and circuitry can be simplified.

[0280] When circuitry will be able to become easy when according to the motor speed regulating device of invention according to claim 6 the configuration of the whole speed-control system can be made easy and it incorporates a circuit in hard, cost can be reduced and it constitutes in software, software processing can become easy, loads, such as computation, can be made small, and processing speed can be raised.

[0281] Moreover, the inertia of a motorised system etc. is small, by the system with the quick response of a phase simulation process, since the instability at the time of a change-over of the above-mentioned control system has decreased, conventionally, an open loop control means can perform the acceleration and deceleration of a motor for the control system which was carrying out acceleration and deceleration by the rate feedback loop, and applicability can be extended.

[0282] Even if according to the motor speed regulating device of invention according to claim 7 it

can perform feedback control of a rate based on a frequency error signal and is the case with large inertia where a response is a late control system. Since the instability at the time of a change-over of the control system from the above-mentioned speed-control means to a phase simulation control means has decreased while being able to synchronize a frequency certainly. The transient response property of a speed-control system based on the phase contrast of a speed signal and a reference signal can be raised still more sharply, and while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0283] When according to the motor speed regulating device of invention according to claim 8 the rate of a motor reaches a target rate and switches a control system to the addition control system of a speed-control means and a phase simulation control means, on the frequency corresponding to a target rate. And since a reference signal with the phase contrast of the core of the operating range of a phase simulation control means is inputted into a phase simulation control means to a speed signal. After switching a control system, it can control separating from the operating range of a phase comparison, and the transient response property of a phase simulation control means can be raised.

[0284] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[0285] Moreover, although the phase contrast of the core of the operating range of a phase simulation control means is known beforehand and it is necessary to change a frequency, since it is not necessary to change phase contrast with a target rate, a reference signal can be generated easily and circuitry can be simplified.

[0286] According to the motor speed regulating device of invention according to claim 9, the acceleration and deceleration of the motor are carried out with a frequency synchronous-control means. When the rate of a motor reaches a target rate and switches a control system to the addition control system of a frequency synchronous-control means and a phase simulation control means, on the frequency corresponding to a target rate. And since a reference signal with the phase contrast which a speed control signal follows is inputted into a phase simulation control means, the continuity of the controlled variable at the time of switching a control system is maintained, and the transient response property of a speed-control system can be raised sharply.

[0287] Therefore, while being able to shorten further time amount until it is stabilized at a target rate, a speed-control system can be stabilized further.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 1st of the motor speed regulating device of this invention.

[Drawing 2] The circuitry Fig. where a phase comparator circuit is as detailed as that of drawing 1.

[Drawing 3] The timing chart of the signal of each part of the motor speed regulating device of drawing 1.

[Drawing 4] At least that of drawing 1 and drawing 2 is the timing chart of the signal of each part of a phase comparator circuit.

[Drawing 5] The flow chart which shows speed-control processing of the motor by the motor speed regulating device of drawing 1.

[Drawing 6] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 2nd of the motor speed regulating device of this invention.

[Drawing 7] The circuitry Fig. where a phase comparator circuit is as detailed as that of drawing 6.

[Drawing 8] The timing chart of the signal of each part of the motor speed regulating device of drawing 6.

[Drawing 9] At least that of the motor speed regulating device of drawing 6 is the operating-characteristic Fig. of a phase comparator circuit.

[Drawing 10] The flow chart which shows speed-control processing of the motor by the motor speed regulating device of drawing 6.

[Drawing 11] At least that of drawing 6 and drawing 7 is the timing chart of the signal of each part of a phase comparator circuit.

[Drawing 12] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 3rd of the motor speed regulating device of this invention.

[Drawing 13] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 4th of the motor speed regulating device of this invention.

[Drawing 14] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 5th of the motor speed regulating device of this invention.

[Drawing 15] The flow chart which shows speed-control processing of the motor by the motor speed regulating device of drawing 14.

[Drawing 16] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 6th of the motor speed regulating device of this invention.

[Drawing 17] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 7th of the motor speed regulating device of this invention.

[Drawing 18] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 8th of the motor speed regulating device of this invention.

[Drawing 19] The circuitry Fig. of the motor speed regulating device which applied the gestalt of operation of the 9th of the motor speed regulating device of this invention.

[Drawing 20] At least that of drawing 19 is the timing chart of the signal of each part of a phase comparator circuit.

[Drawing 21] The flow chart which shows speed-control processing of the motor by the motor speed regulating device of drawing 19.

[Drawing 22] At least that of a memory type is the operating-characteristic Fig. of a phase

comparator circuit.

[Drawing 23] At least that of a non-memory type is the operating-characteristic Fig. of a phase comparator circuit.

[Drawing 24] The circuitry Fig. of the motor speed regulating device using the conventional PLL control system.

[Drawing 25] Drawing showing the relation between the input voltage to Motor Driver of drawing 24 , and the frequency of the encoder pulse signal which an encoder outputs.

[Description of Notations]

10 Motor Speed Regulating Device

11 Phase Comparator Circuit

12, 15, 17, 33, 34 Switch

13 Adder

14 Offset Voltage Generating Circuit

16 Starting Electrical-Potential-Difference Generating Circuit

18 Motor Driver

19 Motor

20 Encoder

21 MPU

22 35 Counter

31 Phase Comparator

32 Count Signal Generator

36 D/A Converter

40 Motor Speed Regulating Device

41 Phase Comparator Circuit

42 45 Switch

43 MPU

44 Phase Comparator

46 Counter

50 Motor Speed Regulating Device

51 Current Feedback Circuit

60 Motor Speed Regulating Device

61 Starting Electrical-Potential-Difference Generating Circuit

70 Motor Speed Regulating Device

71 Switch

72 MPU

73 D/A Converter

80 Motor Speed Regulating Device

90 Motor Speed Regulating Device

91 MPU

92 Frequency Synchronous-Control Circuit

93 Current Feedback Circuit

94 Reference Voltage Generating Circuit

95 F/V Converter

96 Electrical-Potential-Difference Comparator

100 Motor Speed Regulating Device

101 MPU

102 D/A Converter

110 Motor Speed Regulating Device

111 MPU

112 D/A Converter

113 Control Signal Generator

114 F/V Converter

115 A/D Converter

R Reference signal

E Encoder pulse signal
Vtheta Error signal
deltatheta Phase contrast

[Translation done.]

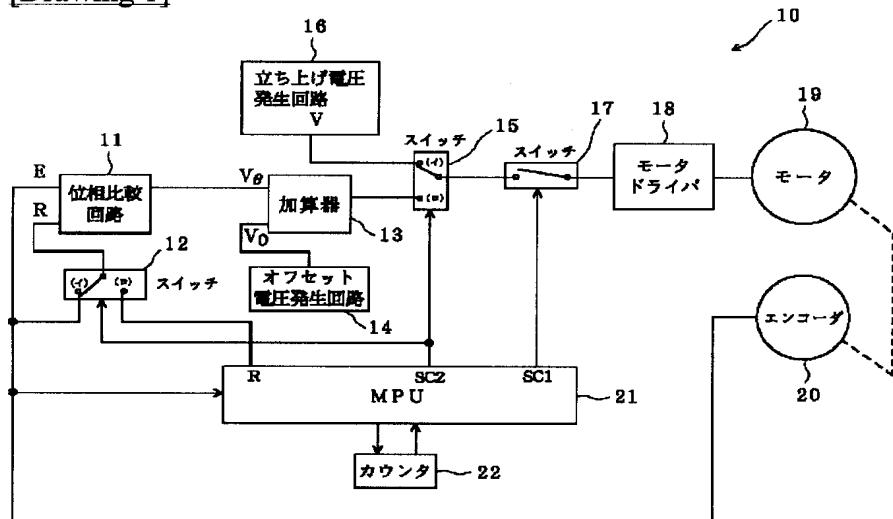
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

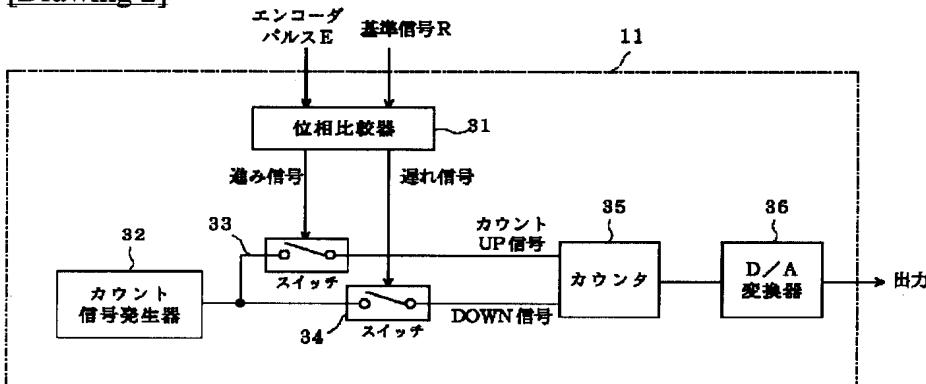
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

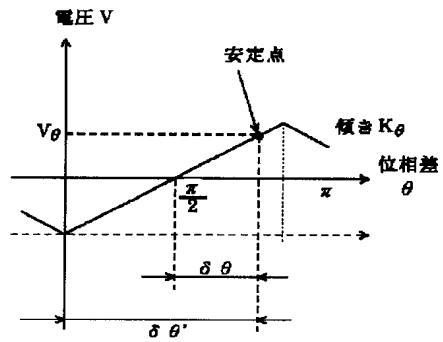
[Drawing 1]



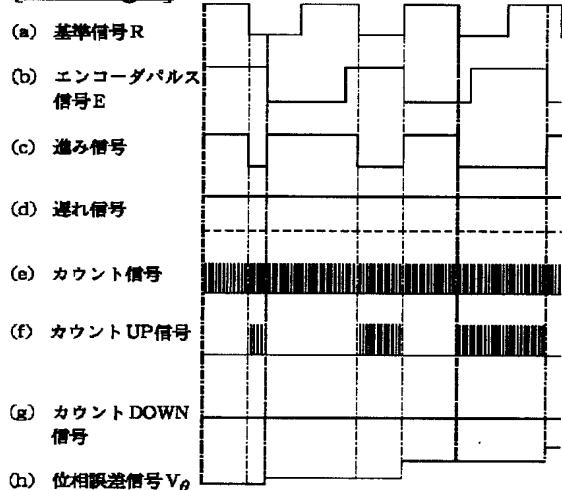
[Drawing 2]



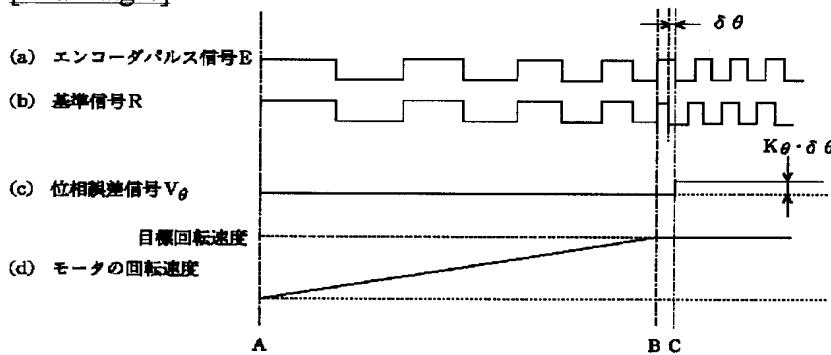
[Drawing 9]



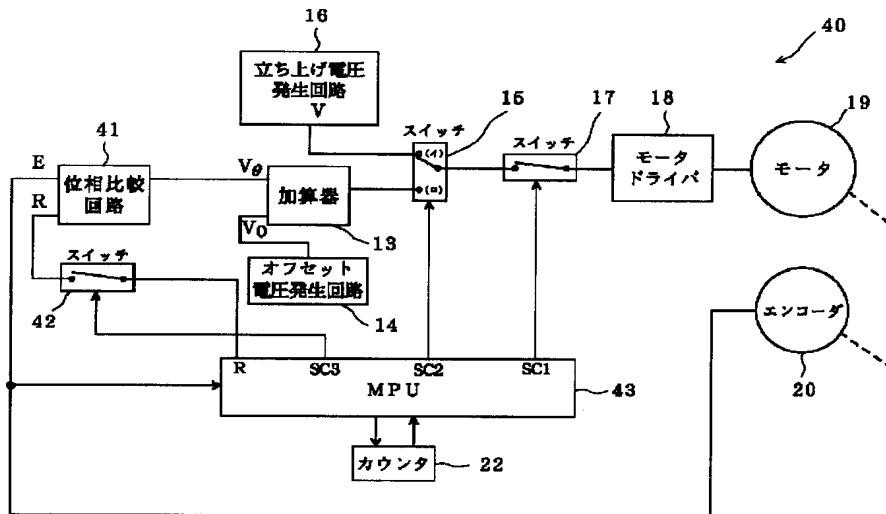
[Drawing 3]



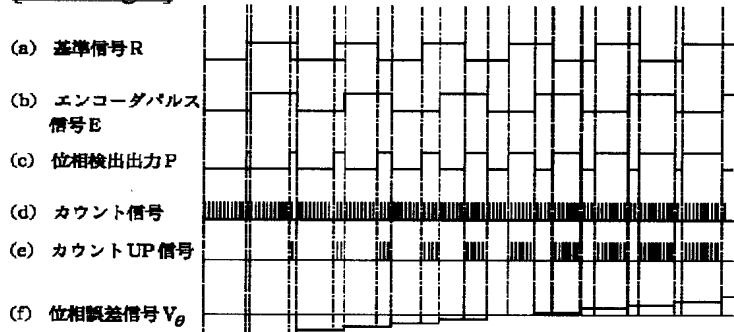
[Drawing 4]



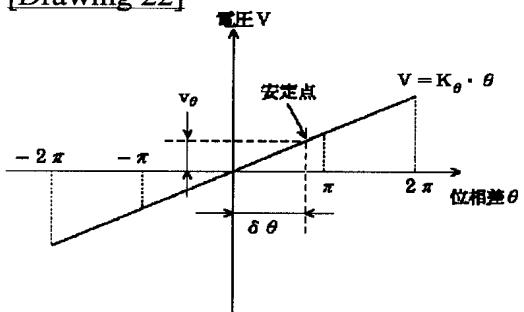
[Drawing 6]



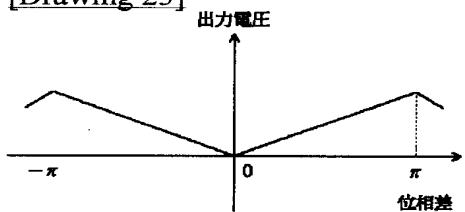
[Drawing 8]



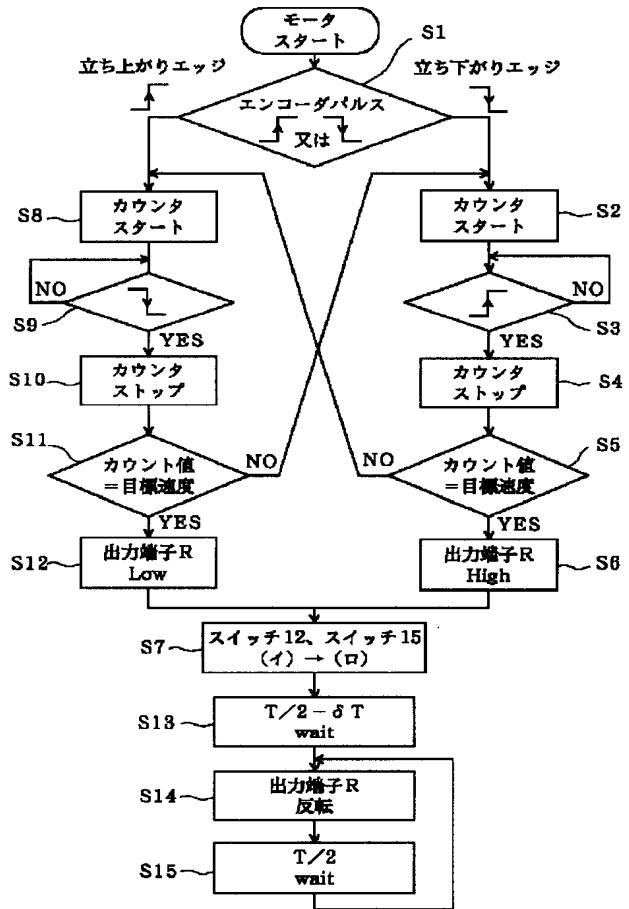
[Drawing 22]



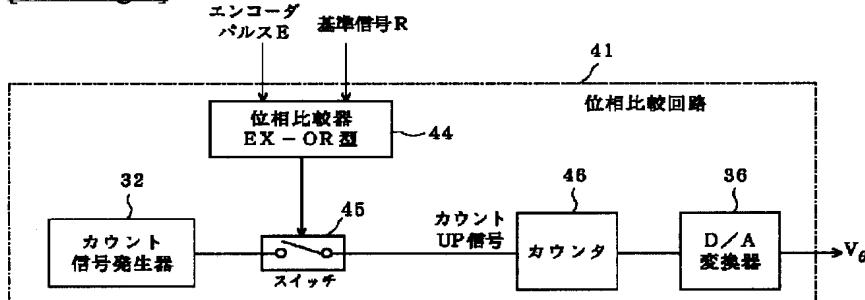
[Drawing 23]



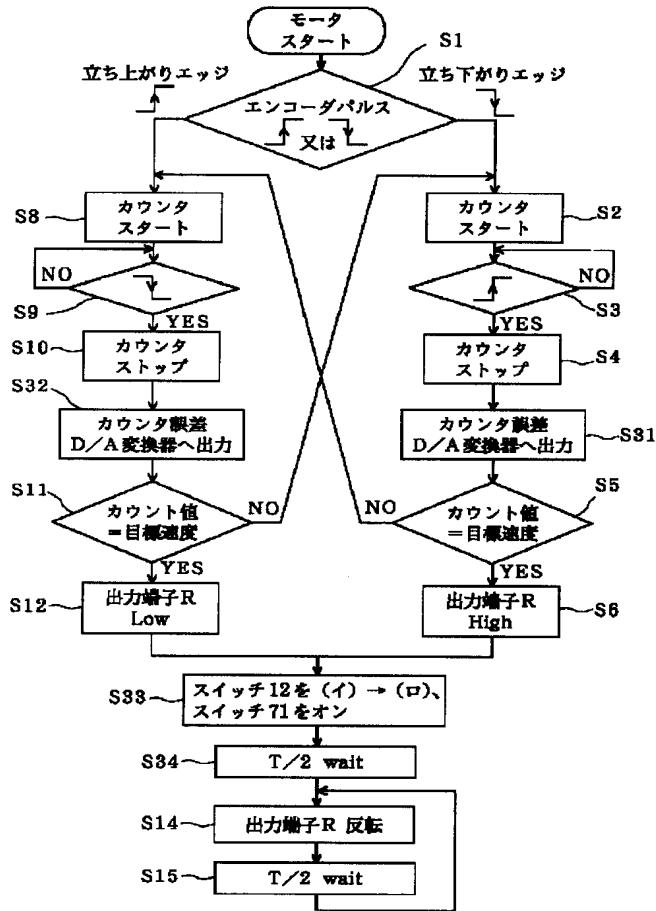
[Drawing 5]



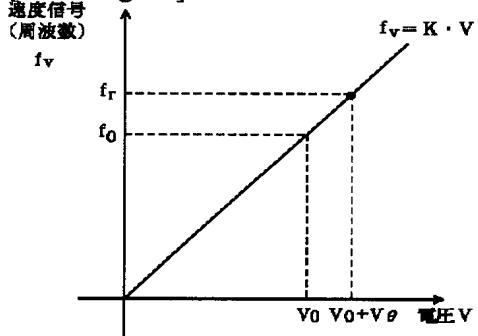
[Drawing 7]



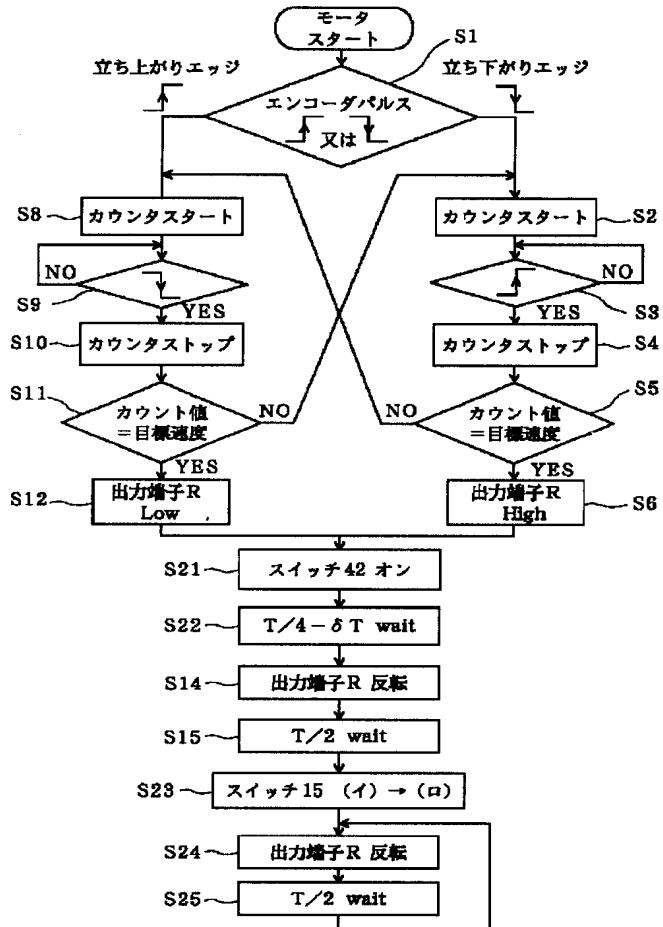
[Drawing 15]



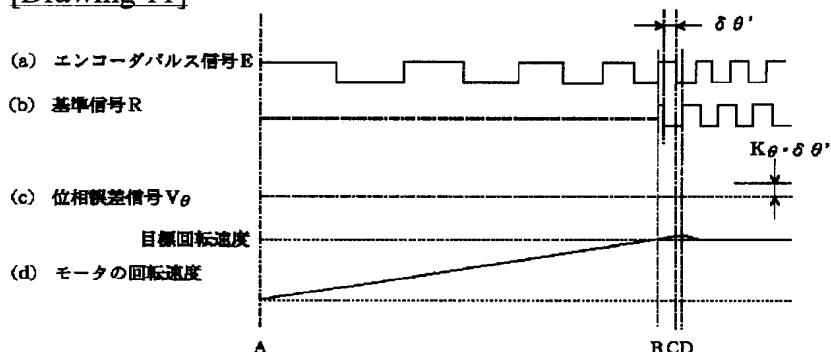
[Drawing 25]



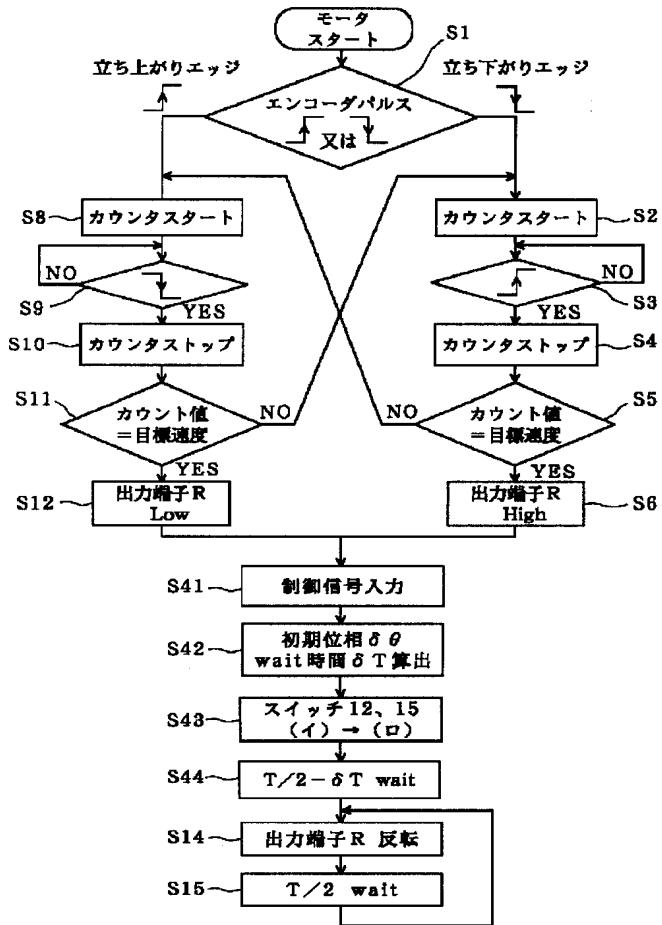
[Drawing 10]



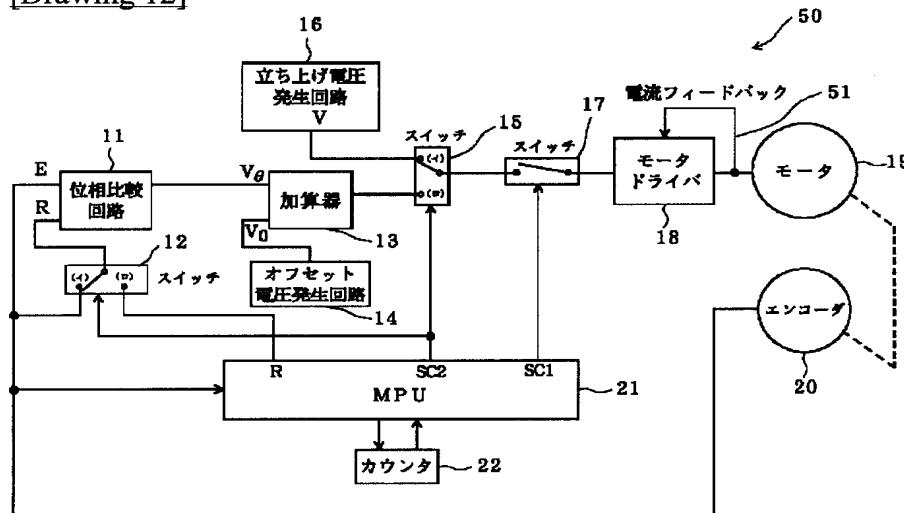
[Drawing 11]



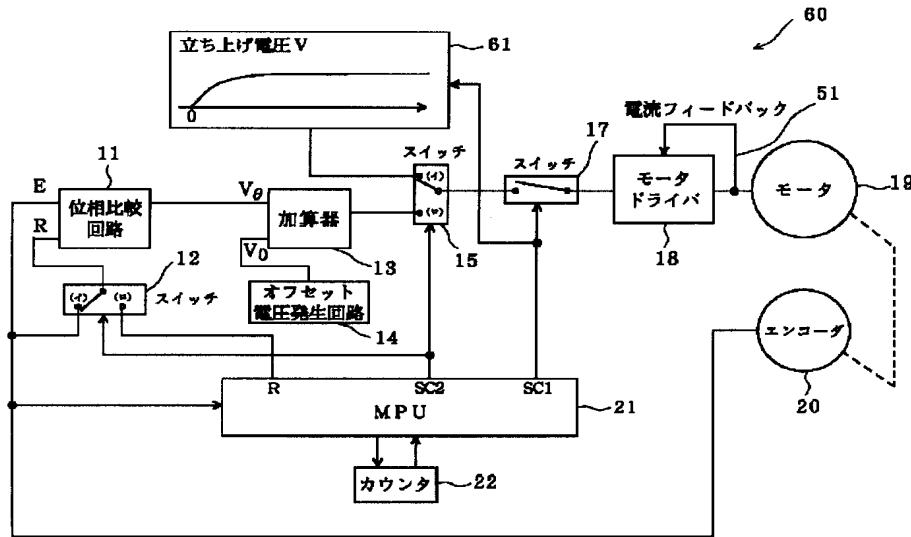
[Drawing 21]



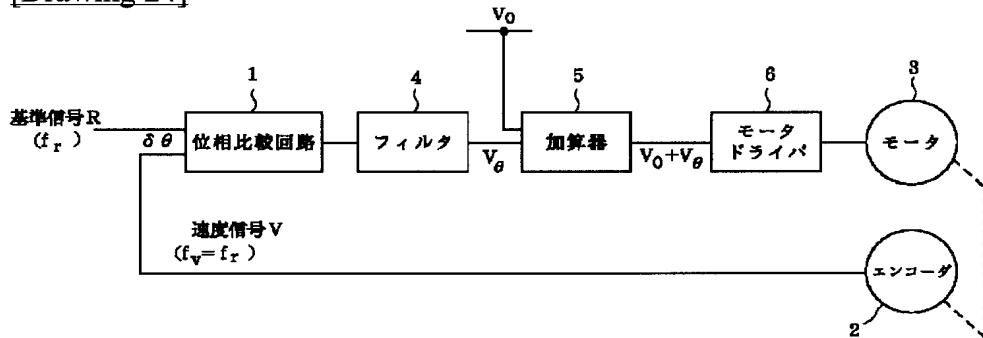
[Drawing 12]



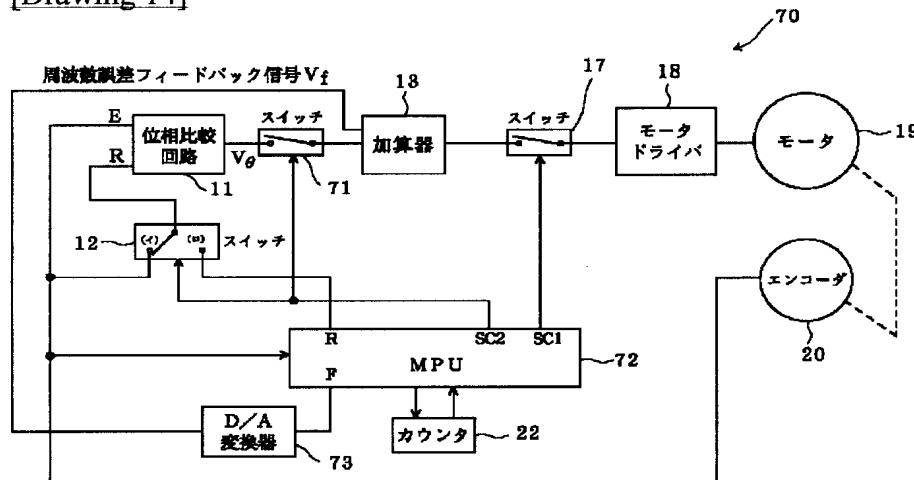
[Drawing 13]



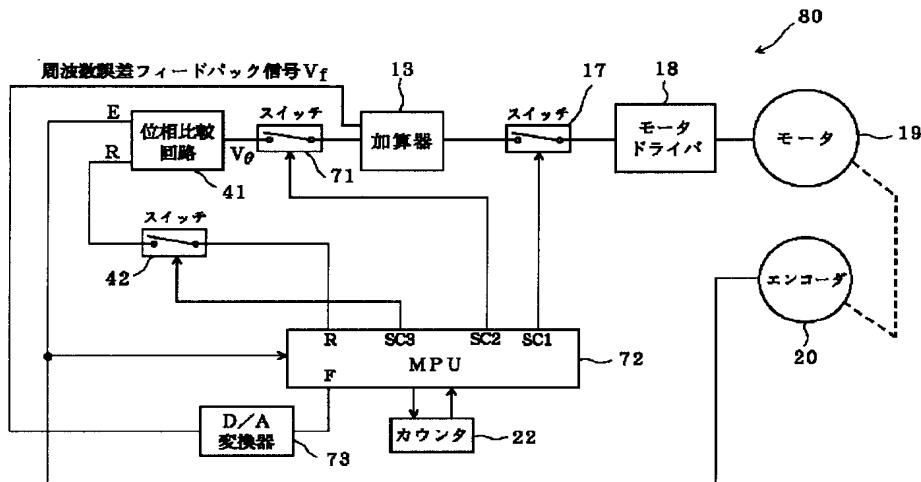
[Drawing 24]



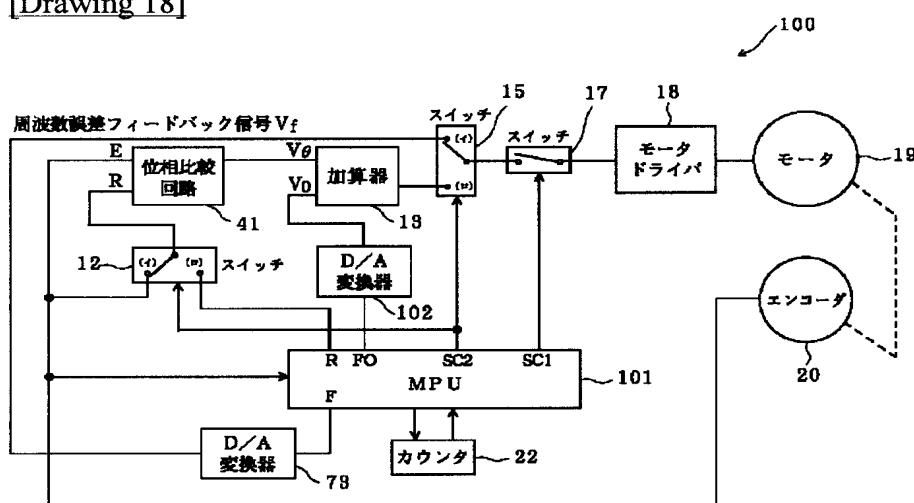
[Drawing 14]



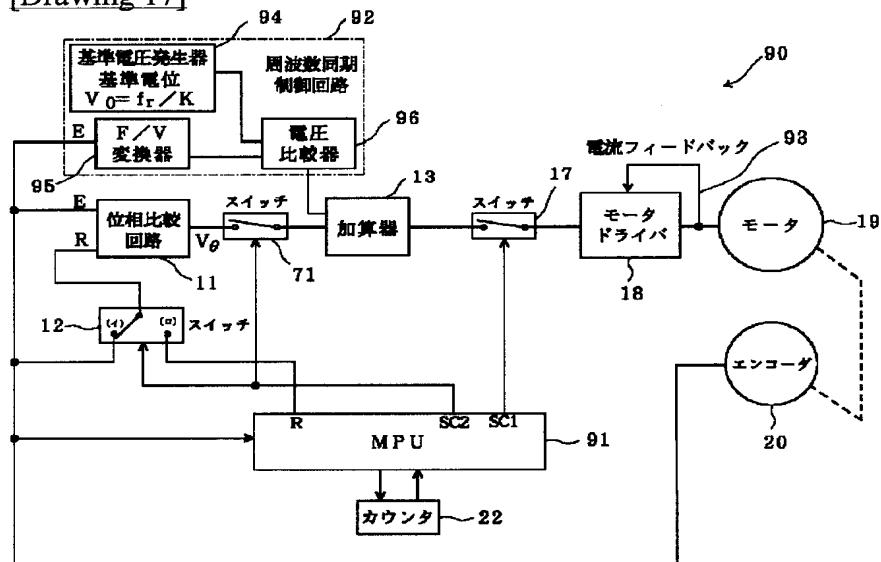
[Drawing 16]



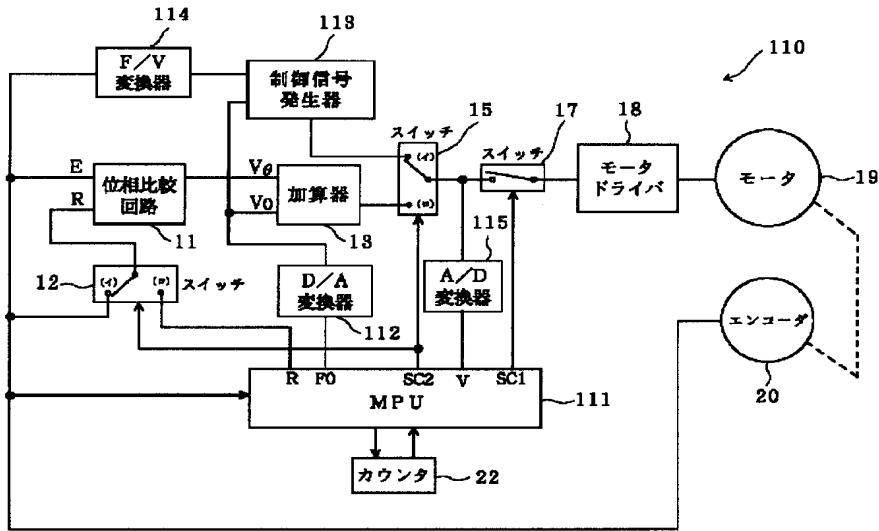
[Drawing 18]



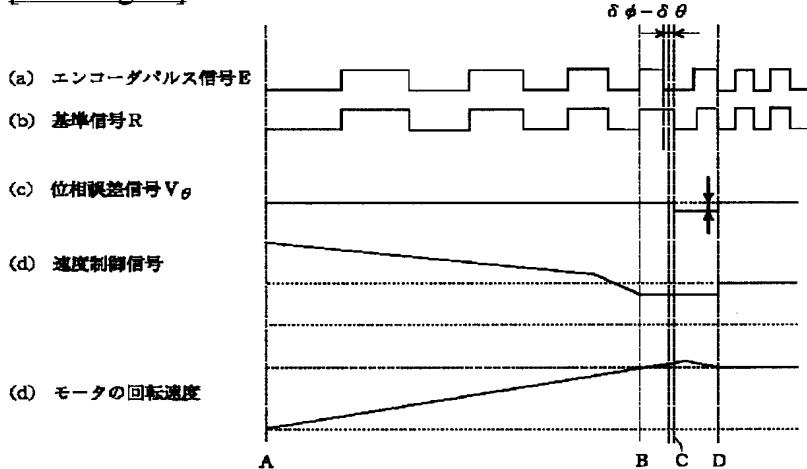
[Drawing 17]



[Drawing 19]



[Drawing 20]



[Translation done.]

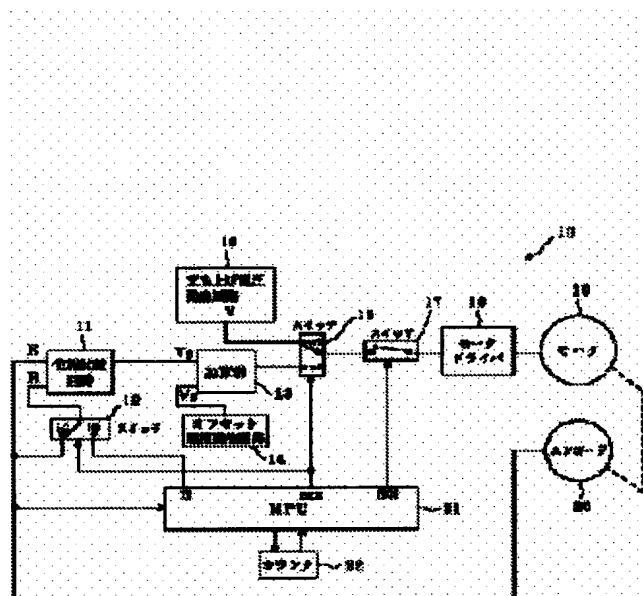
MOTOR SPEED CONTROLLER

Publication number: JP9140180
Publication date: 1997-05-27
Inventor: SHINGYOUCHI MITSURU
Applicant: RICOH KK
Classification:
- international: H02P5/00; H02P5/00; (IPC1-7): H02P5/00
- european:
Application number: JP19950316057 19951109
Priority number(s): JP19950316057 19951109

[Report a data error here](#)

Abstract of JP9140180

PROBLEM TO BE SOLVED: To provide a motor speed controller for settling the motor speed at a target speed quickly when a motor reaches the target speed. **SOLUTION:** At the time of accelerating a motor 19 to a target speed or decelerating the motor 19 therefrom, speed control is performed by the rising voltage V of a rising voltage generation circuit 16. When a target speed is reached, an MPU 21 predicts a phase difference at the time of synchronism based on the target speed and produces a reference signal R having a phase difference $\Delta\theta$ from an encoder pulse signal E and frequency corresponding to the target speed. A phase comparison circuit 11 receives the reference signal R and deliver a phase error signal $V\theta$, corresponding to the phase difference from encoder pulse signal E, to an adder 13. The adder 13 adds an offset voltage V_0 to the phase error signal $V\theta$ which is then delivered to a motor driver 18. After waiting a time ($T/2 - \Delta T$) determined one half of a period T corresponding to a target speed and a time ΔT obtained from the phase difference $\Delta\theta$, the MPU 21 inverts the reference signal R and then inverts the reference signal R at a period of $T/2$.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-140180

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl.^e

識別記号 庁内整理番号
301

FI
H02P 5/00

技術表示箇所

審査請求・主請求・請求項の数 2 E.D. (合 29 頁)

(21) 出圖番号 特平7-316057

(22) 出願日 平成7年(1995)11月9日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

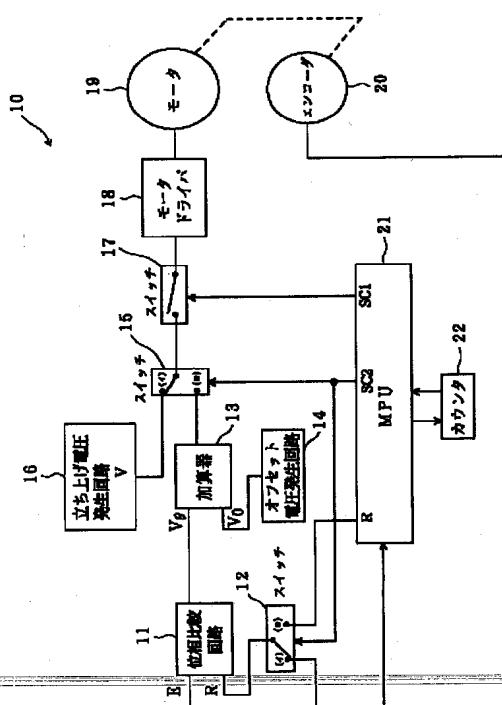
(72)発明者 新行内 充
東京都大田区中馬込1丁目3番6号 株式
会社リコ一内

(54) 【発明の名称】 モータ速度制御装置

(57) 【要約】

【課題】本発明はモータが目標速度に到達した際、速やかに目標速度に安定させるモータ速度制御装置を提供する。

【解決手段】モータ 1 9 の目標速度への加減速時は、立ち上げ電圧発生回路 1 6 の立ち上げ電圧 V により速度制御を行い、目標速度に到達すると、MPU 2 1 が目標速度から同期時の位相差 $\delta \theta$ を予測して、エンコーダパルス信号 E に対して当該位相差 $\delta \theta$ を持ち、かつ、目標速度に対応した周波数の基準信号 R を生成して位相比較回路 1 1 へ出力する。位相比較回路 1 1 は基準信号 R とエンコーダパルス信号 E との位相差に対応する位相誤差信号 $V \theta$ を加算器 1 3 に出力し、加算器 1 3 は位相誤差信号 $V \theta$ にオフセット電圧 V_0 を加算してモータドライバ 1 8 に出力する。その後、MPU 2 1 は目標速度に対応する周期の $T/2$ 周期と位相偏差 $\delta \theta$ から求めた δT 時間から算出される待ち時間 ($T/2 - \delta T$) だけ待って基準信号 R を反転させ、その後 $T/2$ 毎に基準信号 R を反転させる。



(2)

1

【特許請求の範囲】

【請求項 1】モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、所定の速度制御信号を出力して、前記モータを加減速させる速度制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記速度制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記位相同期制御手段の出力する前記速度制御信号を選択させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して位相同期後と同じ位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、

を備えたことを特徴とするモータ速度制御装置。

【請求項 2】前記速度制御手段は、

前記モータが許容する一定電圧、一定電流、あるいは、予め設定された制御信号を前記速度制御信号として出力するオーブンループ制御により前記モータを加減速制御することを特徴とする請求項 1 記載のモータ速度制御装置。

【請求項 3】前記速度制御手段は、

前記検出手段の検出した前記速度信号と前記基準信号との周波数誤差信号に基づく前記速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段であることを特徴とする請求項 1 記載のモータ速度制御装置。

【請求項 4】モータの速度を検出して速度信号として出力する検出手段と、

前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、

前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段と、

前記位相同期制御手段の出力する前記速度制御信号と前記周波数同期制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、

前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、

前記モータの加減速時には、前記選択手段に、前記周波

2

数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して位相同期後と同じ位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、

を備えたことを特徴とするモータ速度制御装置。

【請求項 5】モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、所定の速度制御信号を出力して、前記モータを加減速させる速度制御手段と、

前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して出力する選択手段と、

前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記速度制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記位相同期制御手段の出力する前記速度制御信号を選択させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して前記位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、

を備えたことを特徴とするモータ速度制御装置。

【請求項 6】前記速度制御手段は、

前記モータが許容する一定電圧、一定電流、あるいは、予め設定された制御信号を前記速度制御信号として出力するオーブンループ制御により前記モータを加減速制御することを特徴とする請求項 5 記載のモータ速度制御装置。

【請求項 7】前記速度制御手段は、

前記検出手段の検出した前記速度信号と前記基準信号との周波数誤差信号に基づく前記速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段であることを特徴とする請求項 5 記載のモータ速度制御装置。

【請求項 8】モータの速度を検出して速度信号として出力する検出手段と、

前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、

前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数

(3)

3

同期制御手段と、

前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記周波数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して前記位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、

を備えたことを特徴とするモータ速度制御装置。

【請求項9】モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記周波数同期制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、

前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記周波数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度制御信号の位相差が連続する基準信号を生成して、前記位相同期制御手段に入力する制御手段と、

を備えたことを特徴とするモータ速度制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、モータ速度制御装置に関し、詳細には、速やかに、かつ、安定して目標速度に制御するモータ速度制御装置に関する。

【0002】

【従来の技術】従来から、モータの速度制御方式としては、いわゆる位相同期制御方式（PLL制御方式）が知

(3)

4

られており、このPLL（Phase Locked Loop）制御方式は、一定の周波数の基準信号と、モータの速度に比例したエンコーダパルス等の速度信号と、の位相差を位相比較器により検出して、その位相差に比例した制御量（例えば、電圧）をフィードバックすることにより、モータの速度制御を行うものである。

【0003】ところが、PLL制御でのみモータの制御を行うと、定トルク加速を行うことができず、加減速時間が長くなるだけでなく、使用する位相比較器によっては、基準信号の周波数の整数倍あるいは整数分の1の周波数でも位相がロックして、目標速度に適切に制御することができないという問題があった。

【0004】そこで、モータの回転速度を検出するエンコーダの周波数誤差をフィードバックする制御方式を併用するのが、従来からの一般的なモータ制御方法である。

【0005】具体的には、エンコーダの検出信号を周波数／電圧変換（F／V変換）し、このF／V変換した電圧と、目標速度に対応する電圧と、比較して、フィードバックするアナログサーボ速度制御をPLL制御に併用することが行われている。

【0006】この制御方式によると、周波数同期過程、すなわち、モータの速度が目標速度に到達するまでの過程においては、PLL制御方式により周波数誤差制御方式のフィードバック量が大きくなるようにゲインを設定して、速度を周波数誤差制御方式により目標速度に加減速し、その後、位相同期過程においては、周波数誤差制御方式の出力が一定になるので、PLL制御方式のフィードバック量が相対的に大きくなつて、位相同期状態、すなわち、位相ロック状態に入る。

【0007】また、従来、周波数同期過程と位相同期過程で、制御系を切り換えるモータ速度制御方式がある。すなわち、モータの速度制御においては、周波数同期過程では周波数誤差制御方式が、位相同期過程ではPLL制御方式が、適切な制御を行うことができるので、周波数同期を判別して、それぞれ制御系を切り換えて制御している。

【0008】ところが、一般に基準信号と速度信号（すなわち、エンコーダ信号）の位相は相互に何等制約がなく、上記制御系を切り換える制御方式において、PLL制御方式に切り換えた直後の基準信号の位相と速度信号の位相とに位相差が発生することがあるが、この位相差があると、その位相差によっては、位相同期が速やかに完了しない場合があり、応答が遅くなり、目標速度に安定するまでに時間がかかるという問題があった。

【0009】この問題に解決するものとして、従来、特開平5-292776号公報に記載された直流モータ速度制御装置が提案されている。

【0010】この直流モータ速度制御装置は、モータを加速させる手段と、検出されたモータの速度信号と基準

(4)

5

信号との位相誤差信号に基づいてモータの速度を制御する第1の制御手段と、前記速度信号と基準信号との周波数誤差信号に基づいてモータの速度を制御する第2の制御手段とを備え、前記モータを加速させる手段によりモータの速度を加速し、目標速度に到達したら前記モータを加速させる手段から第1、第2の制御手段の出力信号の加算信号による制御、あるいは第1の制御手段の出力信号のみによる制御に切り換える直流モータ速度制御装置において、モータの速度が目標速度に到達した場合に、前記第1の制御手段に対して速度信号と位相が一致し、かつ、目標速度に対応した周波数の信号を基準信号として入力することを特徴としている。

【0011】すなわち、モータの速度が目標速度に達した場合に、第1の制御手段（位相フィードバック手段といえる。）と第2の制御手段（周波数フィードバック手段といえる。）の出力の加算信号による制御、あるいは、位相フィードバック手段のみによる制御に切り換えるとともに、速度信号（エンコーダ信号）と位相が一致し、かつ、目標速度に対応した周波数の信号を基準信号として入力することで、移相差が0になって、位相同期を速やかに完了させ、応答をすみやかに行わせることを目的としている。

【0012】

【発明が解決しようとする課題】しかしながら、このような従来のモータ速度制御装置にあっては、目標到達速度に達した後の速度信号と基準信号の位相差に基づく過渡応答特性を速やかに解決するには、なお不十分であり、目標速度に安定するまでになお時間がかかるという問題があった。

【0013】すなわち、特開平5-292776号公報の請求の範囲に記載されている条件として、「モータの速度が目標速度に到達した場合に、第1の制御手段に対して速度信号と位相が一致し、かつ、目標速度に対応した周波数の信号を基準信号として入力する」ことを要求し、実施例において、基準周波数信号に対してエンコーダパルスの位相が進んでいるときには、その位相差に応

$$f_0 = K \times V_0$$

$$V_\theta = K_\theta \times \delta_\theta$$

$$f_r = K \times (V_0 + V_\theta) = f_0 + K \times K_\theta \times \delta_\theta \dots (1)$$

すなわち、通常は、位相差 δ_θ を有した状態で位相同期し、この位相差 δ_θ は、オフセット電圧 V_0 その他によって種々変化するものである。

【0020】ところが、上記特開平5-292776号公報においては、あたかも位相差0で位相同期が完了するかのごとく記載されているが、実際には、当該公報記載の第1の制御手段と第2の制御手段の出力信号の加算信号による制御と、第1の制御手段の出力信号のみの制御と、では、位相の定常偏差 δ_θ は、同じではあり得ない。

【0021】すなわち、上記加算信号による制御の場合

(4)

6

* じた位相進み信号を出し、位相が遅れているときには、同様の位相遅れ信号を出力する位相比較回路を使用することにより、図22に示すように、位相比較範囲が $-2\pi \sim 2\pi$ の範囲となって、基準信号と速度信号の位相が一致、すなわち、位相差が0となって、位相同期が完了するとしている。

【0014】ところが、位相比較回路として、例えば、EXOR (EXclusive OR) 型の位相比較器を用いると、位相比較範囲は、図23に示すように、 $0 \sim \pi$ の範囲であり、かつ、位相差が0の点は、特異点となる。その結果、モータの制御が不安定となる。

【0015】すなわち、特開平5-292776号公報に記載されている直流モータ速度制御装置は、実施例に記載されているような位相比較回路を用いて始めて達成される技術である。

【0016】例えば、図24に示すようなPLL制御系を考えた場合、位相比較回路1には、基準信号Rとエンコーダ2からモータ3の回転速度を検出した速度信号V_Eが入力され、位相比較回路1は、基準信号Rと速度信号V_Eを比較して、その位相差 δ_θ に対応する誤差信号V_{\theta}をフィルタ4を介して加算器5に出力する。加算器5には、オフセット電圧V₀が入力されており、加算器5は、誤差信号V_{\theta}にオフセット電圧V₀を加算して、入力制御電圧V ($V = V_0 + V_\theta$) をモータドライバ6に出力する。モータドライバ6は、この入力制御電圧Vに基づいてモータ3を駆動する。

【0017】いま、説明を簡略化するために、モータドライバ6入力される入力制御電圧Vとエンコーダ2の出力する速度信号V_Eの周波数f_Vとの間には、図25に示すような直線関係があるものとすると、位相比較回路1は、図22に示す特性をもつものとする。

【0018】ここで、f_rを基準信号Rの周波数とし、図25から分かるように、オフセット電圧V₀に対応する周波数をf₀とすると、位相同期状態においては、次式が成立するような位相差 δ_θ の定常偏差が存在する。

【0019】

40 には、周波数フィードバック手段（第1の制御手段）の信号が、図24のオフセット電圧V₀の役割を果たしており、オフセット電圧V₀の効果で、f_r ≈ f₀となるため、 $\delta_\theta \approx 0$ 付近で位相同期する。

【0022】また、第1の制御手段のみによる制御の場合には、V₀ = 0となるので、上記（1）式から分かるように、 $\delta_\theta \approx f_r / (K \times K_\theta)$ 付近で位相同期する。

【0023】なお、オフセット電圧V₀を別に加算するような制御系を組み込んだ場合には、定常偏差、すなわち、位相差 δ_θ は、さらに異なったものとなる。

(5)

7

【0024】上述のように、同期時の定常偏差（位相差 $\delta\theta$ ）によっては、上記第1の制御手段と第2の制御手段を切り換えるとき、位相差 $\delta\theta$ を0にすることは、応答を早めるどころか、逆に応答を不安定にして、位相同期を遅くする原因にもなる。

【0025】したがって、上記特開平5-292776号公報に記載されている直流モータ速度制御装置では、目標到達速度に達した後の速度信号と基準信号の位相差に基づく過渡応答特性を速やかに解決するには、なお不十分であり、目標速度に安定するまでなお時間がかかるという問題があった。

【0026】そこで、請求項1記載の発明は、モータの速度が目標速度に到達すると、制御系を位相同期制御手段に切り換えてモータの速度制御を行わせるとともに、位相同期制御手段に、目標速度に対応した周波数で、かつ、速度信号に対して位相同期後と同じ位相差を有した基準信号を入力することにより、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を大幅に向上させて、目標速度に安定するまでの時間を短縮するとともに、速度制御系を安定化させることのできるモータ速度制御装置を提供することを目的としている。

【0027】請求項2記載の発明は、請求項1の場合に、モータが目標速度に到達するまでオープンループ制御することにより、速度制御系全体の構成を簡単化するモータ速度制御装置を提供することを目的としている。

【0028】請求項3記載の発明は、請求項1の場合に、モータが目標速度に到達するまで周波数誤差信号に基づく速度のフィードバック制御を行うことにより、イナーシャが大きく応答の遅い制御系の場合であっても、確実に周波数を同期させることのできるモータ速度制御装置を提供することを目的としている。

【0029】請求項4記載の発明は、モータの速度が目標速度に到達すると、所定の速度制御信号によりモータを加減速する速度制御手段の出力する速度制御信号と位相同期制御手段の出力する速度制御信号の加算出力により制御するとともに、位相同期制御手段に、目標速度に対応した周波数で、かつ、速度信号に対して位相同期後と同じ位相差を持った基準信号を入力することにより、モータの速度が目標速度に到達して、制御系を切り換えた際、速度信号と基準信号の位相差に基づく、速度制御系の過渡応答特性をより一層大幅に向上させて、目標速度に安定するまでの時間をより一層短縮することのできるモータ速度制御装置を提供することを目的としている。

【0030】請求項5記載の発明は、モータの速度が所定の目標速度に到達すると、制御系を位相同期制御手段に切り換えてモータの速度制御を行わせるとともに、目標速度に対応した周波数で、かつ、速度信号に対して位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を位相同期制御手段に入力することにより、位

8

相同期制御手段へ制御系を切り換えた後に、位相比較の動作範囲から外れるのを抑制して、位相同期制御手段の過渡応答特性を向上させることのできるモータ速度制御装置を提供することを目的としている。

【0031】請求項6記載の発明は、請求項5の場合に、モータが目標速度に到達するまでオープンループ制御することにより、速度制御系全体の構成を簡単化するモータ速度制御装置を提供することを目的としている。

【0032】請求項7記載の発明は、請求項5の場合に、モータが目標速度に到達するまで周波数誤差信号に基づく速度のフィードバック制御を行うことにより、イナーシャが大きく応答の遅い制御系の場合であっても、確実に周波数を同期させることのできるモータ速度制御装置を提供することを目的としている。

【0033】請求項8記載の発明は、モータの速度が目標速度に到達すると、所定の速度制御信号によりモータを加減速する速度制御手段の出力する速度制御信号と位相同期制御手段の出力する速度制御信号の加算出力による制御に切り換えるとともに、位相同期制御手段に、目標速度に対応した周波数で、かつ、速度信号に対して前記位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を入力することにより、制御系を切り換えた際、位相比較の動作範囲から外れるのを抑制して、位相同期制御手段の過渡応答特性を向上させることのできるモータ速度制御装置を提供することを目的としている。

【0034】請求項9記載の発明は、周波数同期制御手段によりモータを加減速して、モータの速度が目標速度に到達して、制御系を周波数同期制御手段と位相同期制御手段との加算制御系に切り換えた際、目標速度に対応した周波数で、かつ、速度制御信号が連続する位相差を有した基準信号を位相同期制御手段に入力することにより、制御系を切り換えた際の制御量の連続性を保ち、速度制御系の過渡応答特性を大幅に向上させて、目標速度に安定するまでの時間をより一層短縮できるとともに、速度制御系をより一層安定化させることのできるモータ速度制御装置を提供することを目的としている。

【0035】

【課題を解決するための手段】請求項1記載の発明のモータ速度制御装置は、モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、所定の速度制御信号を出力して、前記モータを加減速させる速度制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記速度

(6)

9

制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記位相同期制御手段の出力する前記速度制御信号を選択させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して位相同期後と同じ位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、を備えることにより、上記目的を達成している。

【0036】ここで、検出手段は、モータの回転速度を適切に検出して、当該速度に対応したパルス等の速度信号を適切に出力できるものであれば、どのようなものであってもよく、例えば、エンコーダ等が利用される。

【0037】位相同期制御手段は、この検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づいて、駆動手段に速度制御信号を出力することにより、モータの速度制御を行い、この基準信号は、例えば、目標速度に対応する速度信号である。

【0038】選択手段は、例えば、スイッチ等を利用することができるが、これに限るものでないことは言うまでもない。

【0039】制御手段は、例えば、検出手段の出力する速度信号を目標速度と比較することにより、モータの速度が目標速度に到達したかどうかを判別し、モータ速度が目標速度に到達するまでは、選択手段に速度制御手段の出力する速度信号を選択させて、モータを加減速することにより、モータの速度を制御し、モータの速度が目標速度に到達すると、選択手段に位相同期制御手段の出力する速度制御信号を選択させて、位相同期制御手段の出力する速度制御信号によりモータの速度制御を行わせるとともに、位相同期制御手段に、目標速度に対応した周波数で、かつ、位相同期後と同じ位相差を有した基準信号を入力して、この基準信号と検出手段の出力する速度信号との位相差に基づいてモータの速度を制御させる。

【0040】上記構成によれば、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を大幅に向上させることができ、目標速度に安定するまでの時間を短縮することができるとともに、速度制御系を安定化させることができる。

【0041】この場合、例えば、請求項2に記載するように、前記速度制御手段は、前記モータが許容する一定電圧、一定電流、あるいは、予め設定された制御信号を前記速度制御信号として出力するオープンループ制御により前記モータを加減速制御するものであってもよい。

【0042】上記構成によれば、速度制御系全体の構成を簡単なものとすることができます、ハード的に回路を組み込む場合には、回路構成が簡単なものとなり、コストを低減させることができ、また、ソフト的に構成する場合には、ソフト処理が簡単になり、計算処理等の負荷を小さくして、処理速度を向上させることができる。

10

【0043】また、モータ駆動系のイナーシャ等が小さく、位相同期過程の応答が速い系では、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、従来、速度フィードバックループにより加減速していた制御系をオープンループ制御手段により、モータの加減速を行うことができ、適用範囲を広げることができる。

【0044】さらに、例えば、請求項3に記載するように、前記速度制御手段は、前記検出手段の検出した前記速度信号と前記基準信号との周波数誤差信号に基づく前記速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段であってもよい。

【0045】上記構成によれば、周波数誤差信号に基づく速度のフィードバック制御を行うことができ、イナーシャが大きく応答の遅い制御系の場合であっても、確実に周波数を同期させることができるとともに、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を、さらに大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0046】請求項4記載の発明のモータ速度制御装置は、モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記周波数同期制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記周波数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して位相同期後と同じ位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、を備えることにより、上記目的を達成している。

【0047】ここで、選択手段は、位相同期制御手段の出力する速度制御信号と速度制御手段の出力する速度制御信号を択一的に選択する選択機能と、これらの両手段の出力する速度制御信号を加算する加算機能を備えており、例えば、スイッチと加算器とで構成することができ

50

(7)

11

る。

【0048】制御手段は、モータを目標速度に加減速する加減速時には、選択手段に、速度制御手段の出力する速度制御信号を選択させて、この速度制御信号により駆動手段にモータを駆動させ、モータの速度が目標速度に到達すると、選択手段に、速度制御手段の出力する速度制御信号と位相同期制御手段の出力する速度制御信号を加算して出力させるとともに、位相同期制御手段に、目標速度に対応した周波数で、かつ、速度信号に対して位相同期後と同じ位相差を持った基準信号を入力する。

【0049】上記構成によれば、モータの速度が目標速度に到達して、制御系を切り換えた際、速度信号と基準信号の位相差に基づく、速度制御系の過渡応答特性をより一層大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系を安定させることができる。

【0050】請求項5記載の発明のモータ速度制御装置は、モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、所定の速度制御信号を出力して、前記モータを加減速させる速度制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記速度制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記位相同期制御手段の出力する前記速度制御信号を選択させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して前記位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、を備えることにより、上記目的を達成している。

【0051】上記構成によれば、モータの速度が目標速度に到達して、制御系を位相同期制御手段に切り換えた際、目標速度に対応した周波数で、かつ、速度信号に対して位相同期制御手段の動作範囲の中心の位相差を有した基準信号を位相同期制御手段に入力するので、位相同期制御手段に制御系を切り換えた後に、位相比較の動作範囲から外れるのを抑制することができ、位相同期制御手段の過渡応答特性を向上させることができる。

【0052】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0053】また、位相同期制御手段の動作範囲の中心の位相差は、予め分かつており、かつ、周波数は変える必要があるが、目標速度によって位相差を変える必要が

12

ないため、基準信号を簡単に生成することができ、回路構成を簡略化することができる。

【0054】この場合、例えば、請求項6に記載するように、前記速度制御手段は、前記モータが許容する一定電圧、一定電流、あるいは、予め設定された制御信号を前記速度制御信号として出力するオーブループ制御により前記モータを加減速制御するものであってもよい。

【0055】上記構成によれば、速度制御系全体の構成を簡単なものとすことができ、ハード的に回路を組み込む場合には、回路構成が簡単なものとなり、コストを低減させることができ、また、ソフト的に構成する場合には、ソフト処理が簡単になり、計算処理等の負荷を小さくして、処理速度を向上させることができる。

【0056】また、モータ駆動系のイナーシャ等が小さく、位相同期過程の応答が速い系では、上記制御系の切換時の不安定性が少なくなっているので、従来、速度フィードバックループにより加減速していた制御系をオーブループ制御手段により、モータの加減速を行うことができ、適用範囲を広げることができる。

【0057】さらに、例えば、請求項7に記載するように、前記速度制御手段は、前記検出手段の検出した前記速度信号と前記基準信号との周波数誤差信号に基づく前記速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段であってもよい。

【0058】上記構成によれば、周波数誤差信号に基づく速度のフィードバック制御を行うことができ、イナーシャが大きく応答が遅い制御系の場合であっても、確実に周波数を同期させることができるとともに、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を、さらに大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0059】請求項8記載の発明のモータ速度制御装置は、モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記速度制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記周波数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、

(8)

13

前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度信号に対して前記位相同期制御手段の動作範囲の中心付近の位相差を有した基準信号を生成して、前記位相同期制御手段に入力する制御手段と、を備えることにより、上記目的を達成している。

【0060】上記構成によれば、モータの速度が目標速度に到達して、制御系を速度制御手段と位相同期制御手段との加算制御系に切り換えた際、目標速度に対応した周波数で、かつ、速度信号に対して位相同期制御手段の動作範囲の中心の位相差を有した基準信号を位相同期制御手段に入力するので、制御系を切り換えた後に、位相比較の動作範囲から外れるのを抑制することができ、位相同期制御手段の過渡応答特性を向上させることができる。

【0061】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0062】また、位相同期制御手段の動作範囲の中心の位相差は、予め分かっており、かつ、周波数は変える必要があるが、目標速度によって位相差を変える必要がないため、基準信号を簡単に生成することができ、回路構成を簡略化することができる。

【0063】請求項9記載の発明のモータ速度制御装置は、モータの速度を検出して速度信号として出力する検出手段と、前記検出手段の出力する速度信号と所定の基準信号との位相誤差信号に基づく速度制御信号を出力して、前記モータの速度を制御する位相同期制御手段と、前記検出手段の出力する前記速度信号と前記所定の基準信号の周波数誤差信号に基づく速度制御信号を出力して、前記モータの速度をフィードバック制御する周波数同期制御手段と、前記位相同期制御手段の出力する前記速度制御信号と前記周波数同期制御手段の出力する前記速度制御信号を択一的に選択して、あるいは、加算して出力する選択手段と、前記選択手段から入力される前記速度制御信号に基づいて前記モータの駆動を行う駆動手段と、前記モータの加減速時には、前記選択手段に、前記周波数同期制御手段の出力する前記速度制御信号を選択させ、前記モータの速度が所定の目標速度に到達すると、前記周波数同期制御手段の出力する前記速度制御信号と前記位相同期制御手段の出力する前記速度制御信号とを加算して出力させるとともに、前記目標速度に対応した周波数で、かつ、前記速度制御信号の位相差が連続する基準信号を生成して、前記位相同期制御手段に入力する制御手段と、を備えることにより、上記目的を達成している。

【0064】上記構成によれば、周波数同期制御手段によりモータを加減速して、モータの速度が目標速度に到達し、制御系を周波数同期制御手段と位相同期制御手段

14

との加算制御系に切り換えた際、目標速度に対応した周波数で、かつ、速度制御信号が連続する位相差を有した基準信号を位相同期制御手段に入力するので、制御系を切り換えた際の制御量の連続性が保たれ、速度制御系の過渡応答特性を大幅に向上させることができる。

【0065】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0066】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。

【0067】尚、以下に述べる実施の形態は、本発明の好適な実施の形態であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【0068】図1～図5は、本発明のモータ速度制御装置の第1の実施の形態を示す図であり、本実施の形態は、モータが目標速度に到達するまでは、一定電圧でモータを加減速するものである。

【0069】図1は、本発明のモータ速度制御装置の第1の実施の形態を適用したモータ速度制御装置の回路構成図である。

【0070】図1において、モータ速度制御装置10は、位相比較回路11、スイッチ12、加算器13、オフセット電圧発生回路14、スイッチ15、立ち上げ電圧発生回路16、スイッチ17、モータドライバ18、モータ19、エンコーダ20、MPU (Micro Processing Unit) 21及びカウンタ22等を備えており、例えば、ファクシミリ装置、複写機あるいはプリンタ等に用いられるモータの速度制御を行うのに利用される。

【0071】MPU (制御手段) 21は、モータ速度制御装置10の各部を統括的に制御し、スイッチ17の切換信号を出力する端子SC1、スイッチ12及びスイッチ15の切換信号を出力する端子SC2及び基準信号Rをスイッチ12を介して位相比較回路11に出力する端子Rを備えている。

【0072】スイッチ12及びスイッチ (切換手段) 15は、MPU 21の制御下で動作して、モータ19が所定速度に達するまでは、(イ)側に接続されており、所定の速度に達すると、(ロ)側に切り換えられる。

【0073】また、スイッチ17は、MPU 21からモータ19を回転させるための切換信号が入力されると、オンし、停止させるための切換信号が入力されると、オフする。

【0074】エンコーダ (検出手段) 20は、モータ19の回転速度を検出して、当該回転速度に対応するエンコーダパルス信号EをMPU 21、スイッチ12及び位相比較回路11に出力する。

【0075】カウンタ22は、エンコーダ20からのエ

(9)

15

エンコーダパルス信号Eに基づいてモータ19の回転速度を検出及び図示しない主制御手段から指示されたモータ19の目標速度に対応する基準信号Rを生成等するため10に用いられるカウンタである。

【0076】MPU21は、エンコーダ20からのエンコーダパルス信号Eに基づいてカウンタ22を利用して、モータ19の回転速度を検出し、当該検出したモータ19の回転速度と目標速度とを比較して、モータ19の回転が目標速度に到達したかどうかを判断する。

【0077】MPU21は、モータ19の回転速度が目標速度に到達すると、スイッチ12及びスイッチ15に切換信号を出力して、スイッチ12及びスイッチ15を(イ)側から(ロ)側に切り換える。

【0078】また、MPU21は、目標速度から同期時の速度信号に対する基準信号の位相差 $\delta\theta$ を予測して、エンコーダパルス信号Eに対して当該位相差 $\delta\theta$ を持ち、かつ、目標速度に対応した周波数の基準信号を生成して、R端子からスイッチ12を介して位相比較回路11へ基準信号Rとして出力する。この速度検出動作及び信号生成動作については、後で詳述する。

【0079】上記位相比較回路(位相同期制御手段)11は、図2に示すように回路構成されており、位相比較器31、カウント信号発生器32、スイッチ33、34、カウンタ35及びD/A変換器36等を備えている。

【0080】位相比較器31には、上記エンコーダパルス信号Eと基準信号Rが入力され、この位相比較器31に入力される基準信号Rは、モータ19の回転速度が目標速度に到達するまでは、スイッチ12が(イ)側であるので、エンコーダパルス信号Eであり、その後、モータ19の回転速度が目標速度に到達すると、スイッチ12が(ロ)側に切り換えられるので、MPU21からの基準信号である。

【0081】位相比較器31は、このエンコーダパルス信号Eと基準信号Rの位相を比較して、進み信号あるいは遅れ信号を対応するスイッチ33、34に出力する。すなわち、位相比較器31は、基準信号Rに対してエンコーダパルス信号Eの位相が進んでいるときには、当該位相差に対応した位相進み信号をスイッチ33に出力し、基準信号Rに対してエンコーダパルス信号Eの位相が遅れているときには、当該位相差に対応した位相遅れ信号をスイッチ34に出力する。

【0082】具体的には、位相比較器31は、図3(a)に示す基準信号Rと図3(b)に示すエンコーダパルス信号Eを比較し、いま、図3では、エンコーダパルス信号Eの方が、基準信号Rよりも、その位相が進んでいるので、図3(c)に示すように、当該位相差分の幅に対応する期間だけローレベルとなる位相進み信号をスイッチ33に出力する。このとき、エンコーダパルス信号Eの方が位相が進んでいるので、位相遅れ信号は、

50

16

図3(d)に示すように、ハイレベルの状態のままである。

【0083】スイッチ33及びスイッチ34は、位相比較器31からの進み信号あるいは遅れ信号によりオン/オフするスイッチであり、ローレベルの進み信号あるいは遅れ信号が入力されると、オンして、カウント信号発生器32から入力されるカウント信号をカウンタ35に出力する。

10

【0084】カウント信号発生器32は、図3(e)に示すように、一定の高周波数のカウント信号を発生し、スイッチ33及びスイッチ34に出力する。

【0085】カウント信号発生器32の出力するカウント信号は、スイッチ33あるいはスイッチ34がオンしているときにのみ、スイッチ33あるいはスイッチ34を介して、カウントUP信号あるいは、カウントDOWN信号としてカウンタ35に入力される。

20

【0086】図3では、基準信号Rよりもエンコーダパルス信号Eの方が位相が進んでいるので、図3(c)に示すように、ローレベルの進み信号がスイッチ33に出力されて、スイッチ33がオンし、カウンタ35には、図3(f)に示すように、カウントUP信号が、進み信号がオンしている期間だけ、カウント信号のパルス列として入力される。このとき、カウントDOWN信号は、図(g)に示すように、0レベルを維持している。

30

【0087】カウンタ35は、スイッチ33あるいはスイッチ34から入力されるカウントUP信号あるいはカウントDOWN信号のパルス列の数を逐次カウントアップ、あるいは、カウントダウンして、D/A変換器36に出力する。D/A変換器36は、図3(h)に示すように、カウンタ35のカウント結果をD/A(デジタルアナログ)変換して、上記エンコーダパルス信号Eと基準信号Rの位相差に対応するアナログの位相誤差信号V θ として、図1に示した加算器13に出力する。

40

【0088】すなわち、位相比較回路11は、エンコーダパルス信号Eの位相が基準信号Rよりも進んでいる場合には、位相比較器31から位相差に対応した位相進み信号がスイッチ33に出力され、スイッチ33がオンとなって、カウント信号発生器32の出力するカウント信号がスイッチ33を介してカウントUP信号としてカウンタ35に入力される。カウンタ35は、カウントUP信号が位相進みに対応するカウント信号のパルス列として入力されると、カウント信号をカウントアップして、カウント結果をD/A変換器36に出力し、D/A変換器36は、カウンタ35のカウント結果をD/A変換して、位相差に対応するアナログの位相誤差信号V θ として図1に示した加算器13に出力する。

【0089】また、位相比較回路11は、エンコーダパルス信号Eの位相が基準信号Rよりも遅れている場合には、位相比較器31から位相差に対応した位相遅れ信号がスイッチ34に出力され、スイッチ34がオンとなつ

(10)

17

て、カウント信号発生器32の出力するカウント信号がスイッチ34を介してカウントDOWN信号としてカウンタ35に入力される。カウンタ35は、カウントDOWN信号が位相遅れに対応するカウント信号のパルス列として入力されると、カウントUP信号の場合とは逆に、カウント信号をカウントダウンして、カウント結果をD/A変換器36に出力し、D/A変換器36は、カウンタ35のカウント結果をD/A変換して、位相差に対応するアナログの位相誤差信号Vθとして図1に示した加算器13に出力する。

【0090】すなわち、上述のように、位相比較回路11は、エンコーダパルス信号Eと基準信号Rの位相差を検出し、その位相差に対応したアナログの位相誤差信号Vθを生成して、加算器13に出力する。

【0091】なお、上記位相比較回路11の位相比較器31の機能は、MPU21が行うようにしてもよく、また、D/A変換器36の代わりに、CR能動フィルタを用いてもよい。

【0092】オフセット電圧発生回路（速度制御手段）14は、所定のオフセット電圧V0を発生し、加算器13に出力する。

【0093】加算器13は、オフセット電圧発生回路14から入力されるオフセット電圧V0と位相比較回路11から入力される位相誤差信号Vθを加算して、加算出力をスイッチ15及びスイッチ17を介してモータドライバ18に出力する。

【0094】スイッチ15（選択手段）には、加算器13の加算出力と立ち上げ電圧発生回路16の立ち上げ電圧Vが入力されており、スイッチ15は、これらの加算器13の加算出力と立ち上げ電圧発生回路16の立ち上げ電圧Vの一方を逐一的に選択して、スイッチ17を介してモータドライバ18に速度制御信号として出力する。

【0095】モータドライバ（駆動手段）18は、スイッチ17を介して入力される速度制御信号に基づいてモータ19を回転駆動する。

【0096】次に、動作を説明する。

* 【0097】まず、図示しない制御装置からモータを回転させる指令が出たとき、MPU21は、初期設定を行う。

【0098】すなわち、MPU21は、初期状態において、図4に示すように、A点でスイッチ12及びスイッチ15を（イ）側に接続し、スイッチ17をオンにして、初期設定が完了すると、位相比較回路11は、エンコーダパルス信号Eと基準信号Rから誤差信号Vθを生成して、加算器13に出力する。

10 【0099】なお、図4は、図1の信号各部の波形を示した図であり、図4（a）は、エンコーダパルス信号E、（b）は、位相比較回路11に入力される基準信号R、（c）は、位相比較回路11の出力する誤差信号Vθ、（d）は、モータ19の回転速度である。

【0100】まず、図示しない主制御装置からモータ回転の指令が出ると、MPU21は、目標速度から同期時の位相差δθ、具体的には、位相差δθに相当する待ち（wait）時間を設定する。

【0101】いま、位相比較回路11は、上述のように、図22に示した特性を持つフリップフロップ型で、その位相比較範囲（動作範囲）は、-2π～2πである。

【0102】したがって、同期後の位相差δθは、図25に示した場合と同様に考えることができ、次式で与えられる。

【0103】

$$\delta\theta = (f_r - f_0) / (K \times K\theta) \\ = (f_r - K \times V_0) / (K \times K\theta) \dots (2)$$

但し、δθは、基準信号Rに対して速度信号が遅れている場合を、+、進んでいる場合を、-、としている。

【0104】また、位相差δθ分のwait時間は、次式で与えられる。

$$\delta T = \delta\theta / (2\pi f_r) \dots (3)$$

ここで、オフセット電圧V0の役割は、同期可能な回転速度の速度帯域を設定することにあり、理想的には、次式の周波数範囲で同期可能となる。

【0106】

$$f_0 + K \times K\theta \times 2\pi \dots (4)$$

位相比較回路11にエンコーダパルス信号Eとして入力されるとともに、MPU21及びスイッチ12に入力される。

【0109】いま、スイッチ12は、（イ）側に接続されているので、エンコーダ20の出力するエンコーダパルス信号Eは、スイッチ12を介して、基準信号Rとして位相比較回路11に入力される。

【0110】したがって、モータの加速時には、位相比較回路11にエンコーダパルス信号E及び基準信号Rとしてエンコーダ20の出力する同じエンコーダパルス信号Eが入力されるので、位相差が発生せず、位相比較回路11は、図4（c）に示すように、0レベルの位相誤

$$f_0 + K \times K\theta \times 2\pi > f > f_0 - K \times K\theta \times 2\pi \dots$$

初期設定の後、図4に示す初期状態A点でMPU21は、スイッチ12及びスイッチ15を（イ）側に接続するとともに、スイッチ17をオンする。これらのスイッチ12、15、17の初期設定は、上述のように、MPU21により、その端子SC1及び端子SC2から出力される切換信号により行われる。

【0107】これによりモータ19は、立ち上げ電圧Vの一定電圧で加速され、この立ち上げ電圧Vは、所定速度に到達できる電圧でなければならないが、モータ19の仕様内であれば、これに限るものではない。

【0108】モータ19が始動を開始すると、モータ19の回転速度は、逐一エンコーダ20により検出され、

50

(11)

19

差信号 V_θ を出力し、加算器 13 は、この位相誤差信号 V_θ とオフセット電圧 V_0 を加算して出力するが、いま、スイッチ 15 が (イ) 側、すなわち、立ち上げ電圧発生回路 16 側に接続されているため、加算器 13 の加算出力はモータドライバ 18 には、出力されずに、立ち上げ電圧発生回路 16 からの立ち上げ電圧 V がスイッチ 17 を介して速度制御信号としてモータドライバ 18 に入力される。

【0111】モータドライバ 18 は、この速度制御信号である立ち上げ電圧 V に基づいてモータ 19 を加減速して、回転駆動する。

【0112】この加速中においては、MPU 21 は、図 5 に示すように、加速制御処理を行う。

【0113】すなわち、MPU 21 は、モータ 19 が始まると、まず、最初のエンコーダパルス信号 E のエッジが立ち上がりで始まるのか、立ち下がりで始まるのかを検出し (ステップ S 1)、例えば、立ち下がりエッジで始まるすると、カウンタ 22 をスタート、すなわち、カウント動作を開始して (ステップ S 2)、次の半周期の立ち上がりエッジを検出するまで待つ (ステップ S 3)。

【0114】ステップ S 3 で、次の立ち上がりエッジを検出すると、MPU 21 は、カウンタ 22 をストップ、すなわち、カウント動作を停止させ (ステップ S 4)、カウンタ 22 のカウント値と予め内部メモリに格納されている目標速度に対応した周波数 T の $1/2$ 周期 ($T/2$) に相当する値 (以下、 $1/2$ 周期値という。) とを比較して、一致するかどうかチェックする (ステップ S 5)。

【0115】MPU 21 は、カウンタ 22 のカウント値と $1/2$ 周期値とが一致すると、目標速度に到達したと判断して、出力端子 R の出力信号、すなわち、基準信号 R をハイレベル (High) に立ち上げ (ステップ S 6)、スイッチ 12 及びスイッチ 15 を (イ) 側から (ロ) 側に切り換える (ステップ S 7)。

【0116】いま、立ち上げ開始直後であるので、目標速度に到達していないため、ステップ S 5 で、カウンタ 22 のカウント値と $1/2$ 周期値とが一致せず、MPU 21 は、ステップ S 8 に移行して、再度、カウンタ 22 のカウント動作を開始し (ステップ S 8)、次の半周期のエンコーダパルス信号 E の立ち下がりエッジを検出するまで待つ (ステップ S 9)。

【0117】ステップ S 9 で、次の立ち下がりエッジを検出すると、MPU 21 は、カウンタ 22 のカウント動作を停止させ (ステップ S 10)、これによりエンコーダパルス信号 E の立ち上がりエッジから立ち下がりエッジまでの半周期分の時間を測定し、カウンタ 22 のカウント値と上記 $1/2$ 周期値とを比較して、一致するか、すなわち、モータ 19 の速度が目標速度に到達したかチェックする (ステップ S 11)。

20

【0118】MPU 21 は、カウンタ 22 のカウント値と $1/2$ 周期値とが一致すると、目標速度に到達したと判断して、出力端子 R の出力信号 (基準信号 R) をロー レベル (Low) に立ち下げ (ステップ S 6)、スイッチ 12 及びスイッチ 15 を (イ) 側から (ロ) 側に切り換える (ステップ S 7)。

【0119】また、ステップ S 11 で、目標速度に到達していないおらず、ステップ S 11 で、カウンタ 22 のカウント値と $1/2$ 周期値とが一致しないときには、MPU 21 は、ステップ S 2 に移行して、上記同様の処理を行う。

【0120】すなわち、MPU 21 は、エンコーダパルス信号 E の半周期の時間を測定し、かつ、その都度、目標速度と比較して、モータ 19 が目標速度に到達したかどうか判別している (ステップ S 2～ステップ S 5、ステップ S 8～ステップ S 11)。

【0121】この間、モータ 19 は、図 4 (d) に示すように、立ち上げ電圧発生回路 16 からの立ち上げ電圧 V に基づくモータドライバ 18 のドライブ動作により目標速度に向かって、回転速度を上げていく。

【0122】また、MPU 21 は、検出した直前のエンコーダパルス信号 E が立ち上がりであれば、これに応じて、出力端子 R の出力信号 (基準信号 R) をハイレベルに立ち上げ (ステップ S 6)、直前のエンコーダパルス信号 E が立ち下がりであれば、これに応じて、出力信号 (基準信号 R) をロー レベルに立ち下げる (ステップ S 12)。

【0123】このようにして、半周期毎にモータ 19 の速度が目標速度に到達したかチェックして、目標速度に到達すると (ステップ S 5、ステップ S 11)、上記出力端子 R の出力信号 (基準信号 R) の立ち上げ (ステップ S 6)、あるいは、立ち下げ (ステップ S 12) を行って、スイッチ 12 及びスイッチ 15 を (イ) 側から (ロ) 側に切り換えて、接続する (ステップ S 7)。

【0124】すなわち、図 4 に示すように、A 点で初期設定を完了して、立ち上げ電圧発生回路 16 からの立ち上げ電圧 V に基づいてモータ 19 の回転を開始し、B 点でモータ 19 の回転速度が目標速度に到達したとすると、B 点においては、いま、エンコーダパルス信号 E は、図 4 (a) に示すように、立ち上がりエッジである。MPU 21 は、これに合わせて、図 4 (b) に示すように、出力端子 R からハイレベルの基準信号 R をスイッチ 12 を介して位相比較回路 11 に出力する。

【0125】その後、MPU 21 は、上記 (3) 式に示したように、目標速度に対応する周期の $1/2$ 周期 ($T/2$) と位相差 δ_θ から求めた δT 時間から算出される待ち時間 (wait) 時間 ($T/2 - \delta T$) だけ待って (ステップ S 13)、出力端子 R の出力信号、すなわち、基準信号 R を、図 4 (b) に示すように、反転させる (ステップ S 14)。いま、図 4 では、B 点で基準信

(12)

21

号Rを立ち上げたので、待ち時間だけ待った後、基準信号Rを立ち下げる。

【0126】このように、MPU21は、予め同期後の位相差 $\delta\theta$ を推定して基準信号Rの位相差 $\delta\theta$ を作製しているので、切り換える直後に、PLL速度制御系、すなわち、位相比較回路11において強制的に位相がロックされる。

【0127】その後は、MPU21は、目標速度に対応する周期の1/2周期($T/2$)だけ待って(ステップS15)、出力信号(基準信号R)を反転させる(ステップS14)。すなわち、MPU21は、目標速度に到達して、基準信号Rの位相の調整を行うと、図4に示すように、目標速度に対応した周波数の1/2周期毎に出力信号(基準信号R)を反転させて、位相比較回路11に出力する。

【0128】したがって、MPU21は、図4(b)に示すように、C点以降は、エンコーダパルス信号Eに対して、 $-\delta\theta$ の位相差を持ち、目標速度に対応した周波数の基準信号Rを位相比較回路11に出力する。なお、基準信号Rに対するエンコーダパルス信号Eの位相差を $\delta\theta$ としているので、基準信号Rの位相差には、 $-$ が付与される。

【0129】そして、MPU21から上記基準信号Rが位相比較回路11に入力されると、位相比較回路11は、上述の動作処理を行って、図4(c)に示すように、エンコーダパルス信号Eと基準信号Rの位相差 $\delta\theta$ に対応する位相誤差信号 $V\theta$ を加算器13に出力する。

【0130】加算器13は、この誤差信号 $V\theta$ とオフセット電圧発生回路14から供給されるオフセット電圧 V_0 を加算して、スイッチ15及びスイッチ17を介して、モータドライバ18に出力し、モータドライバ18は、この加算器13からの加算出力に基づいてモータ19を駆動する。

【0131】したがって、従来のように、エンコーダパルス信号Eと基準信号Rの位相差 $\delta\theta$ によるモータ19の速度のオーバーシュートを、図4(d)に示すように、抑制することができ、速度制御手段としての立ち上げ電圧発生回路16からの立ち上げ電圧Vによるオープンループにより立ち上げを行っても、位同期制御手段としてのPLL速度制御(位相比較回路11)系の過渡応答特性を向上させることができる。

【0132】その結果、モータ19を速やかに目標速度に上昇させることができるとともに、目標速度に到達すると、速やかに安定させることができる。

【0133】図6～図11は、本発明のモータ速度制御装置の第2の実施の形態を示す図であり、本実施の形態は、位相比較回路の位相比較器にEXOR型を使用したものである。

【0134】本実施の形態は、上記第1の実施の形態と同様のモータ速度制御装置に適用したものであり、本実

22

施の形態の説明において、上記図1及び図2と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0135】図6において、モータ速度制御装置40は、位相比較回路41、スイッチ42、加算器13、オフセット電圧発生回路14、スイッチ15、立ち上げ電圧発生回路16、スイッチ17、モータドライバ18、モータ19、エンコーダ20、MPU43及びカウンタ22等を備えており、上記第1の実施の形態とは、位相比較回路41、スイッチ42及びMPU43が異なっている。

【0136】すなわち、位相比較回路(位同期制御手段)41は、図7に示すように構成され、位相比較器44、カウント信号発生器32、スイッチ45、カウンタ46及びD/A変換器36等を備えている。

【0137】位相比較器44は、いわゆるEXOR型の位相比較回路であり、位相比較器44には、図8(a)に示すエンコーダパルス信号Eと、図8(b)に示す基準信号Rが入力されている。

【0138】位相比較器44は、この入力されるエンコーダパルス信号Eと基準信号RのEXOR(排他的論理和)を取って、図8(c)に示すハイとローに切り替わる位相検出信号Pをスイッチ45に出力し、スイッチ45は、ハイの位相検出信号Pが入力されると、オンして、カウント信号発生器32から入力されるカウント信号をカウンタ46に出力する。

【0139】カウント信号発生器32は、上記第1の実施の形態と同様に、図8(d)に示すように、一定の高周波数のカウント信号を発生して、スイッチ45に出力し、スイッチ45は、カウント信号発生器32から入力されるカウント信号を図8(e)に示すカウントUP信号としてカウンタ46に出力する。

【0140】カウンタ46は、スイッチ45を介して入力されるカウントUP信号を計数して、D/A変換器36に出力する。

【0141】D/A変換器36は、カウンタ46のカウント結果をD/A変換して、図8(f)に示す位相差に対応するアナログの位相誤差信号 $V\theta$ として、図7に示した加算器13に出力する。

【0142】したがって、位相比較回路41は、図23に示したように、位相比較範囲(動作範囲)として、 $0 \sim \pi$ の範囲を持つような特性を有するが、位相比較回路41においては、その信号の取扱上の理由から、図9に示すように、位相差 $\pi/2$ における誤差信号 $V\theta$ が0になるように、D/A変換器36にオフセットを設定している。

【0143】その結果、図9からも明らかなように、同期時の位相差 $\delta\theta'$ は、次式で与えられるような値となる。

$$[\text{0144}] \quad \delta\theta' = \delta\theta + \pi/2$$

(13)

23

また、モータ速度制御装置40においては、フィードバック係数K、K_θを同じに設定しており、図22に示した位相差δθと図9に示した位相差δθは、同じ位相差になるが、実際に同期する位相差δθ'は、π/2だけ*

$$\begin{aligned}\delta T' &= \delta \theta' / (2\pi f_r) = (\delta \theta + \pi/2) / (2\pi f_r) \\ &= \delta T + T/4 \dots (5)\end{aligned}$$

したがって、具体的な初期位相の待ち(wait)時間

は、(5)式を用いて計算すると、以下の式のようにな*

$$T/2 - \delta T' = T/2 - (\delta T + T/4) = T/4 - \delta T \dots (6)$$

MPU43は、上記第1の実施の形態と同様の動作を行うが、上記待ち時間の算出等において、異なる処理を行う。

【0147】また、スイッチ42は、MPU43の制御下でオン/オフし、オンのとき、MPU43の出力端子Rから入力される基準信号Rを位相比較回路41に出力する。

【0148】次に、本実施の形態の動作を、図10に示すフローチャートに基づいて説明する。

【0149】なお、図10の説明において、上記図5と同様の処理ステップにおいては、同一のステップナンバーを付して、その詳細な説明を省略する。

【0150】モータ速度制御装置40のMPU43は、その加速段階での制御は、上記図5の場合と同様に行い(ステップS1～S6、ステップS8～S12)、モータ19の速度が同期速度に到達すると、スイッチ42をオンにして(ステップS21)、位相比較回路41に基準信号Rを入力する。

【0151】すなわち、図11のA点で初期設定を完了して、立ち上げ電圧発生回路16からの立ち上げ電圧Vに基づいてモータ19の回転を開始し、B点でモータ19の回転速度が目標速度に到達したとすると、スイッチ42をオンにして(ステップS21)、位相比較回路41に基準信号Rを入力する。

【0152】このとき、MPU43は、エンコーダパルス信号Eがハイレベルであると、ハイレベルの誤差信号Vθを、エンコーダパルス信号Eがローレベルであると、ローレベルの誤差信号Vθを、出力端子Rから出力する(ステップS6、ステップS12)。

【0153】その後、MPU43は、上記(6)式に示した初期位相分の待ち時間(T/4 - δT)だけ待つと(ステップS22)、出力端子Rから出力している誤差信号Vθを反転させ(ステップS14)、位相比較回路41の特性から、T/2だけ待つ(ステップS15)、スイッチ15を(イ)側から(ロ)側に切り換える(ステップS23)。

【0154】すなわち、位相比較回路41の特性からT/2を待つ間に始めの誤差信号Vθの出力がある。具体的には、図11(c)に示すように、C点で誤差信号Vθが出力されることになる。

【0155】したがって、図11に示すD点で制御系を

24

*異なる。また、位相差δθ'に相当する待ち(wait)時間δT'は、次式のようになる。

【0145】

$$\delta T' = \delta \theta' / (2\pi f_r) = (\delta \theta + \pi/2) / (2\pi f_r)$$

したがって、具体的な初期位相の待ち(wait)時間

は、(5)式を用いて計算すると、以下の式のようにな*

$$T/2 - \delta T' = T/2 - (\delta T + T/4) = T/4 - \delta T \dots (6)$$

10 立ち上げ電圧発生回路16から位相比較回路41に切り換えると、エンコーダパルス信号Eと基準信号Rがほぼ同期状態の位相差になるので、PLL速度制御(位相比較回路41)系において、強制的に位相がロックされる。

【0156】その後、MPU43は、出力端子Rから出力する基準信号Rを反転させた後(ステップS24)、

目標速度に対応した周波数の1/2周期(T/2)待つ(ステップS25)、ステップS24に戻って、同様に誤差信号Vθを反転させる(ステップS24)。すなわち、その後は、MPU43は、目標速度の周波数の1/2周期毎に出力端子Rの出力信号、すなわち、基準信号Rを反転させる。

【0157】したがって、MPU43は、図11

(b)に示すように、D点以降は、エンコーダパルス信号Eに対して、-δθ'の位相差を持ち、目標速度に対応した周波数の基準信号Rを出力する。

【0158】その結果、図11(d)に示すように、エンコーダパルス信号Eと基準信号Rの位相差によるモータ19の速度のオーバーシュートは低減され、一定電圧である立ち上げ電圧Vのオープンループで立ち上げても、PLL速度制御系の過渡応答特性を向上させることができる。

【0159】なお、上記第1の実施の形態の位相比較回路11は、その比較範囲が-2π～2πと広いが、過去の状態に強く左右されるメモリ(フリップフロップ)型であるので、ノイズに弱い。これに対して、本実施の形態の位相比較回路41は、その比較範囲が0～πと狭いが、非メモリ型であるので、ノイズに強いという特徴を有している。上記位相比較回路11と位相比較回路41の相違は、主にその位相比較器31と位相比較器44の性質による。

【0160】上述のように、本発明においては、上記位相比較回路11と位相比較器44のいずれを用いても、十分発明の目的を達成することができる。

【0161】図12は、本発明のモータ速度制御装置の第3の実施の形態を示す図であり、本実施の形態は、上記第1の実施の形態のモータドライバの出力を電流ファードバックして、一定電流で立ち上げるものである。

【0162】そこで、本実施の形態の説明において、第50 1の実施の形態と同様の構成部分には、同一の符号を付

(14)

25

して、その詳細な説明を省略する。

【0163】すなわち、図12において、モータ速度制御装置50は、位相比較回路11、スイッチ12、加算器13、オフセット電圧発生回路14、スイッチ15、立ち上げ電圧発生回路16、スイッチ17、モータドライバ18、電流フィードバック回路51、モータ19、エンコーダ20、MPU21及びカウンタ22等を備えており、図1のモータ速度制御装置10と同様の回路構成を有しているが、ただ、モータドライバ18の出力をモータドライバ18に電流フィードバックさせる電流フィードバック回路51が設けられている。

【0164】すなわち、本実施の形態においては、立ち上げ電圧発生回路16と電流フィードバック回路51を含めた回路が速度制御手段として機能する。

【0165】したがって、本実施の形態のモータ速度制御装置50においては、モータ19が目標速度に到達するまでの加速過程において、電流フィードバック回路51によりフィードバックされる電流に基づいてモータ19に供給する駆動電流を一定に制御することができ、加速過程において、モータ19を一定電流で加速制御することができる。

【0166】図13は、本発明のモータ速度制御装置の第4の実施の形態を示す図であり、本実施の形態は、上記第3の実施の形態の立ち上げ電圧発生回路の立ち上げ電圧を徐々に上昇させて滑らかな加速を行うものである。

【0167】そこで、本実施の形態の説明においては、図12のモータ速度制御装置50と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0168】図13において、モータ速度制御装置60は、図12と同様の構成を有しているが、ただ、立ち上げ電圧発生回路61が異なる。

【0169】すなわち、立ち上げ電圧発生回路61は、MPU21から加速命令が入力されると、予め設定された電圧上昇プログラムに基づいて、図13中にグラフで示すように、立ち上げ電圧Vを徐々に上昇させる。

【0170】このMPU21からの加速命令は、その端子SC1からスイッチ17に出力するスイッチ17の切換信号が利用されている。

【0171】また、モータ速度制御装置60は、上記第3の実施の形態の場合と同様に、モータドライバ18の出力が電流フィードバック回路51によりモータドライバ18にフィードバックされている。

【0172】したがって、本実施の形態のモータ速度制御装置60においては、MPU21は、モータ19の回転が開始が指示されると、スイッチ17及び立ち上げ電圧発生回路61に切換信号を出力して、スイッチ17をオンするとともに、スイッチ15及びスイッチ12を(イ)側に接続させ、立ち上げ電圧発生回路61から徐々に上昇する立ち上げ電圧Vをスイッチ15及びスイッ

(14)

26

チ17を介してモータドライバ18に出力する。

【0173】モータドライバ18は、この徐々に上昇する立ち上げ電圧Vに基づいてモータ19を回転駆動するが、電流フィードバック回路51によりモータ19に出力する電流がフィードバックされているので、当該徐々に上昇する立ち上げ電圧Vに対応させて電流を徐々に上昇させることができ、モータ19を滑らかに加速させることができる。

【0174】なお、この場合、電流フィードバック回路51を設けなくても、モータドライバ18からモータ19に供給する電圧を徐々に上昇させることができ、滑らかにモータ19を加速させることができる。

【0175】図14及び図15は、本発明のモータ速度制御装置の第5の実施の形態を示す図であり、本実施の形態は、上記第1の実施の形態において、速度制御手段として、立ち上げ電圧発生回路の代わりに周波数誤差フィードバックを適用したものである。

【0176】そこで、本実施の形態の説明においては、上記第1の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0177】図14において、モータ速度制御装置70は、位相比較回路11、スイッチ12、スイッチ71、加算器13、スイッチ17、モータドライバ18、モータ19、エンコーダ20、MPU72、カウンタ22及びD/A変換器73等を備えており、位相比較回路11、スイッチ12、加算器13、スイッチ17、モータドライバ18、モータ19、エンコーダ20及びカウンタ22は、上記第1の実施の形態と同様のものである。

【0178】加算器13には、MPU72からの周波数誤差フィードバック信号Vfとスイッチ71を介して位相比較回路11からの位相誤差信号Vθが入力され、モータ19が目標速度に到達するまでは、スイッチ71がオフして、周波数誤差フィードバック信号Vfのみが加算器13に入力される。

【0179】スイッチ71は、MPU72の端子SC2からスイッチ12に出力される切換信号によりオン/オフし、スイッチ12が(イ)側から(ロ)側に切り換えるタイミングで、オンとなる。

【0180】MPU72には、第1の実施の形態の場合と同様に、エンコーダ20のエンコーダパルス信号Eが入力されており、MPU72は、エンコーダパルス信号Eの半周期をカウンタ22を用いてカウントして、目標速度に対応した半周期分のカウントとの誤差をD/A変換器73にカウンタ誤差信号として出力する。

【0181】D/A変換器73は、このカウンタ誤差信号をD/A変換して、周波数誤差フィードバック信号Vfとして加算器13に出力する。

【0182】したがって、MPU72及びD/A変換器73は、検出手段としてのエンコーダ20の出力する検出信号(エンコーダパルス信号E)と所定の基準信号で

(15)

27

ある目標速度の周波数誤差信号に基づく速度信号（周波数誤差フィードバック信号 V_f ）を出力して、モータ19の速度をフィードバック制御する周波数同期制御手段として機能し、加算器13は、この周波数同期制御手段と位相同期制御手段である位相比較回路11の出力する速度制御信号（誤差信号 V_θ ）を加算して出力する選択手段として機能する。

【0183】次に、本実施の形態の動作を、図15のフローチャートに基づいて、以下、説明する。

【0184】なお、以下の説明においては、上記第1の実施の形態の図5の処理ステップと同様の処理ステップには、同一のステップナンバーを付して、その詳細な説明を省略する。

【0185】MPU72は、モータ19が始動すると、上記同様に、最初のエンコーダパルス信号Eのエッジが立ち上がりか、立ち下がりかを検出し（ステップS1）、立ち下がりエッジで始まるとすると、カウンタ22のカウント動作を開始して（ステップS2）、次の立ち上がりエッジを検出するまで待つ（ステップS3）。ステップS3で、次の立ち上がりエッジを検出すると、MPU21は、カウンタ22のカウント動作を停止させ（ステップS4）、カウンタ誤差信号をD/A変換器73に出力する（ステップS31）。

【0186】そして、D/A変換器73は、このカウンタ誤差信号をD/A変換して、周波数誤差フィードバック信号 V_f として加算器13に出力し、いま、スイッチ71はオフであるので、加算器13は、この周波数誤差フィードバック信号 V_f をスイッチ17を介してモータドライバ18に出力する。

【0187】モータドライバ18は、周波数誤差フィードバック信号 V_f に基づいてモータ19を駆動させる。

【0188】次に、MPU72は、カウンタ22のカウント値と予め内部メモリに格納されている目標速度に対応した周波数Tの1/2周期値とを比較して、一致するかどうかチェックする（ステップS5）。MPU72は、カウンタ22のカウント値と1/2周期値とが一致すると、目標速度に到達したと判断して、出力端子Rの出力信号をハイレベル（High）に立ち上げ（ステップS6）、スイッチ12を（イ）側から（ロ）側に切り換えるとともに、スイッチ71をオンさせる（ステップS33）。

【0189】いま、立ち上げ開始直後であるので、目標速度に到達していないため、ステップS5で、カウンタ22のカウント値と1/2周期値とが一致せず、MPU21は、ステップS8に移行して、再度、カウンタ22のカウント動作を開始し（ステップS8）、次のエンコーダパルス信号Eの立ち下がりエッジを検出するまで待つ（ステップS9）。ステップS9で、次の立ち下がり*

$1/N_e - 1/N_0 = (N_0 - N_e) / (N_0 \times N_e) \dots (6)$
ところが、本実施の形態においては、計算を簡単にする

(15)

28

*エッジを検出すると、MPU72は、カウンタ22のカウント動作を停止させ（ステップS10）、上記同様に、カウンタ誤差信号をD/A変換器73に出力する（ステップS32）。

【0190】次に、MPU72は、エンコーダパルス信号Eの立ち上がりエッジから立ち下がりエッジまでの半周期分の時間を測定し、カウンタ22のカウント値と上記1/2周期値とを比較して、一致するかチェックする（ステップS11）。MPU72は、カウンタ22のカウント値と1/2周期値とが一致すると、目標速度に到達したと判断して、出力端子Rの出力信号をローレベル（Low）に立ち下げ（ステップS6）、スイッチ12を（イ）側から（ロ）側に切り換えるとともに、スイッチ71をオンさせる（ステップS33）。

【0191】したがって、この時点で、加算器13には、周波数誤差フィードバック信号 V_f と位相比較回路11からの誤差信号 V_θ が入力され、加算器13は、この周波数誤差フィードバック信号 V_f と誤差信号 V_θ を加算して、速度制御信号としてスイッチ17を介してモータドライバ18に出力する。

【0192】また、ステップS11で、目標速度に到達していないおらず、ステップS11で、カウンタ22のカウント値と1/2周期値とが一致しないときには、MPU72は、ステップS2に移行して、上記同様の処理を行う。

【0193】すなわち、MPU72は、エンコーダパルス信号Eの半周期の時間を測定し、かつ、カウンタ誤差をD/A変換器73に出力するとともに、その都度、目標速度と比較して、モータ19が目標速度に到達したかどうか判別している（ステップS2～ステップS4、ステップS31、ステップS5、ステップS8～ステップS10、ステップS32、ステップS11）。

【0194】この間、モータ19は、MPU72からD/A変換器73を介して加算器13に供給される周波数誤差フィードバック信号 V_f に基づいてモータドライバ18のドライブ動作により目標速度に向かって、回転速度を上げていく。

【0195】すなわち、MPU72は、エンコーダパルス信号Eの半周期をカウンタ22によりカウントし、また、目標速度に対応した半周期分をカウントして、エンコーダパルス信号Eの半周期分のカウントと目標速度の半周期分のカウントとの誤差をD/A変換器73に出力し、D/A変換器73でD/A変換して、周波数誤差フィードバック信号 V_f として加算器13に出力する。

【0196】いま、目標速度の半周期分のカウント数を N_0 、エンコーダパルス信号Eのカウント数を N_e とすると、本来の周波数誤差は、次式のようになる。

【0197】

$1/N_e - 1/N_0 = (N_0 - N_e) / (N_0 \times N_e) \dots (6)$

ため、

(16)

29

$$(N_0 - N_e) / (N_0 \times N_e) = K_N \times (N_0 - N_e) \dots (7)$$

としている。

【0198】したがって、本実施の形態においては、周波数誤差フィードバック信号 V_f によりモータ 19 の回転速度が目標速度に収束するので、イナーシャが大きくて応答速度の遅い制御対象についても、安定して周波数同期を起こさせることができるとともに、同期後の位相差 $\delta \theta$ を持つ（本実施の形態においては、 $\delta \theta = 0$ ）基準信号 R を位相比較回路 11 に入力しているので、制御系を切り換えた直後に位相同期に引き込まれ、モータ 19 の速度がオーバーシュートすることをより一層抑制することができ、PLL 速度制御系の過渡応答特性をより一層向上させることができる。

【0199】また、本実施の形態においては、モータ 19 の立ち上げだけでなく、回転速度を変化させる場合においても、同様の動作を行うことにより、良好な過渡特性を得ることができる。

【0200】すなわち、図示しない制御手段から速度変更の命令が MPU 72 に入ると、MPU 72 内で目標速度の周期 T の設定を変更し、次に、スイッチ 71 をオフにするとともに、スイッチ 12 を（イ）側に戻して、周波数誤差フィードバック信号 V_f だけの制御系、すなわち、周波数同期制御手段の制御系に切り換える。

【0201】その後は、上記図 15 のフローチャートに基づいて、上記同様に制御を行い、モータ 19 の回転速度が変更後の目標速度に到達すると、上記同様に、初期位相を合わせて、位相同期制御を行う。

【0202】したがって、本実施の形態は、モータ 19 の回転速度を加減速して変更するような場合においても、モータ 19 の回転速度の変更時の応答特性を向上させることができる。

【0203】図 16 は、本発明のモータ速度制御装置の第 6 の実施の形態を示す図であり、本実施の形態は、上記第 5 の実施の形態の位相比較回路 11 を上記第 2 の実施の形態の位相比較回路 41 に置き換えたものである。

【0204】そこで、本実施の形態の説明においては、上記図 14、図 6 及び図 7 と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0205】図 16において、モータ速度制御装置 80 は、位相比較回路 41、スイッチ 42、スイッチ 71、加算器 13、スイッチ 17、モータドライバ 18、モータ 19、エンコーダ 20、MPU 72、カウンタ 22 及び D/A 変換器 73 等を備えており、上記第 5 の実施の形態とは、位相比較回路 41 が異なっている。

【0206】すなわち、位相比較回路 41 は、上述のように、図 7 に示したように構成され、位相比較器 44、カウント信号発生器 32、スイッチ 45、カウンタ 46 及び D/A 変換器 36 等を備えている。

【0207】位相比較器 44 は、いわゆる EXOR 型の位相比較回路であり、上記同様の処理を行って、誤差信

30

号 $V \theta$ をスイッチ 71 を介して加算器 13 に出力する。

【0208】したがって、この場合、初期位相は、 $\delta \theta' = \pi/2$ でなければならず、初期位相の待ち ($wait$) 時間、すなわち、目標速度に到達したときの待ち時間は、 $T/4$ である。

【0209】すなわち、本実施の形態においては、モータ 19 の立ち上げ動作は、図 15 のフローチャートに示した処理と同様に行われ、回転速度は、上記第 5 の実施の形態の場合と同様に、周波数誤差フィードバック信号 V_f の作用により目標速度に収束する。

【0210】その後、スイッチ 71 がオンすることにより、位相誤差信号 $V \theta$ を加算器 13 で加算する制御系に切り換えるが、この初期位相の待ち時間を $T/4$ に設定して、上記第 2 の実施の形態の場合と同様にその後の処理を行う。

【0211】したがって、本実施の形態によれば、非メモリ型の位相比較回路 41 を使用しているので、ノイズに強く、また、周波数誤差をフィードバックしているので、位相比較範囲が広くなくて適切に動作させることができ、第 5 の実施の形態のようにメモリ型の位相比較回路 11 を使用した場合よりも、安定した制御系を形成することができる。

【0212】図 17 は、本発明のモータ速度制御装置の第 7 の実施の形態を示す図であり、本実施の形態は、上記第 5 の実施の形態と同様に周波数誤差のフィードバックを行うが、周波数誤差のフィードバックを MPU を介さないで行うものである。

【0213】そこで、本実施の形態の説明において、図 14 と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0214】図 17において、モータ速度制御装置 90 は、位相比較回路 11、スイッチ 12、スイッチ 71、加算器 13、スイッチ 17、モータドライバ 18、モータ 19、エンコーダ 20、MPU 91、カウンタ 22、周波数同期制御回路 92 及び電流フィードバック回路 93 等を備えており、周波数同期制御回路 92（周波数同期制御手段）は、基準電圧発生器 94、F/V 変換器 95 及び電圧比較器 96 等を備えている。

【0215】モータ速度制御装置 90 では、周波数誤差のフィードバックを MPU 91 を介さないで行っているため、MPU 91 は、第 1 の実施の形態の MPU 21 と同様の機能を備えたものである。ただ、MPU 91 の端子 SC_2 からの切換信号がスイッチ 12 とスイッチ 71 入力され、スイッチ 12 の切り換えタイミングでスイッチ 71 がオンされる。

【0216】周波数同期制御回路 92 は、その基準電圧発生器 94 により、基準周波数に対応する周波数の基準電位 V_0 ($V_0 = f_r / K$) を発生させて、電圧比較器 96 に出力し、電圧比較部 96 には、さらに、F/V 変

(17)

31

換器95の出力電圧が入力されている。

【0217】F/V変換器95には、エンコーダ20からのエンコーダパルス信号Eが入力され、F/V変換器95は、エンコーダパルス信号Eの周波数を電圧に変換、すなわち、F/V変換して、電圧比較器96に出力する。

【0218】電圧比較器96は、上記基準電圧発生器94からの基準電位V0とF/V変換器95からの電圧を比較することにより、エンコーダパルス信号Eと基準電位V0の差、すなわち、エンコーダパルス信号Eの周波数と基準信号の周波数の差に対応する周波数誤差信号を生成して、加算器13に出力する。

【0219】また、モータ速度制御装置90には、電流フィードバック回路93が設けられておりこの電流フィードバック回路93は、図12あるいは図13に示した電流フィードバック回路51と同様であり、モータドライバ18によりモータ19を一定電流で加速制御するためのものである。

【0220】そして、モータ速度制御装置90では、位相比較回路11がメモリ型であるため、初期位相の待ち(wait)時間は、T/2である。

【0221】したがって、上記第6の実施の形態と同様に、周波数誤差をフィードバックしているので、位相比較範囲が広くなくても適切に速度制御を行うことができ、安定した制御系を形成することができるとともに、周波数誤差フィードバックループをMPU91を介さないで行っているので、MPU91の負担を軽減することができる。

【0222】また、本実施の形態は、制御切換時の初期位相に着目したもので、周波数同期制御手段（速度制御手段）としての周波数同期制御回路92を、MPU91から切り離して、別回路としても、適切に処理することができる。

【0223】また、本実施の形態においては、エンコーダパルス信号Eの周波数と基準周波数の周波数差に基づいて、周波数誤差フィードバック処理を行っているが、周波数誤差フィードバック処理は、これに限るものではなく、例えば、回転速度に対して、いわゆるP I制御、あるいは、P I D制御を行うことにより、回転速度を目標速度に到達させてもよい。

【0224】図18は、本発明のモータ速度制御装置及びモータ速度制御方法の第8の実施の形態を示す図であり、本実施の形態は、周波数誤差フィードバックによりモータ回転速度を目標速度に向かって加減速するとともに、目標速度に到達すると、目標速度に設定した基準電圧と位相誤差信号との加算信号による位相同期制御に切り換えるものである。

【0225】本実施の形態の説明において、上記図1、図6、あるいは、図14と同様の構成部分については、同一の符号を付して、その詳細な説明を省略する。

32

【0226】図18において、モータ速度制御装置100は、位相比較回路41、スイッチ12、加算器13、D/A変換器102、スイッチ15、17、モータドライバ18、モータ19、エンコーダ20、MPU101、カウンタ22及びD/A変換器73等を備えている。

【0227】モータ速度制御装置100では、図6に示したメモリ型の位相比較回路41が使用されており、位相比較回路41は、エンコーダパルス信号Eとスイッチ12を介して入力されるエンコーダパルス信号E自身、あるいは、MPU101から入力される基準信号Rの位相を比較して、誤差信号Vθを加算器13に出力する。

【0228】MPU101は、目標速度に対応したデジタル出力をD/A変換器102に出力し、D/A変換器102は、このデジタル出力をD/A変換して、目標速度に対応した基準電圧V0を加算器13に出力する。

【0229】また、MPU101は、エンコーダパルス信号Eの半周期をカウンタ22によりカウントするとともに、目標速度に対応した半周期分をカウントして、エンコーダパルス信号Eの半周期分のカウントと目標速度の半周期分のカウントとの誤差をD/A変換器73に出力し、D/A変換器73でD/A変換して、周波数誤差フィードバック信号Vfとしてスイッチ15に出力する。

【0230】本実施の形態においては、加減速時、スイッチ12及びスイッチ15を（イ）側に接続し、MPU101からD/A変換器73を介してスイッチ15に入力される周波数誤差フィードバック信号Vfによりモータ19を目標速度へ加減速制御する。すなわち、モータ速度制御装置100は、加減速時においては、周波数誤差同期制御によりモータ10の加減速制御を行って、モータ10を目標速度に加減速する。

【0231】モータ19の回転速度が目標速度に到達すると、スイッチ12及びスイッチ15を（ロ）側に切り換え、位相比較回路41の出力する位相誤差信号VθとMPU101からD/A変換器102を介して出力する目標速度に対応した基準電圧V0を加算器13で加算して、この加算結果に基づいて、モータ19の回転制御を行う。

【0232】そして、基準電圧V0を用い、位相比較回路41としてメモリ型を使用しているので、位相差δθは、δθ=0であり、初期位相の待ち(wait)時間は、T/2である。

【0233】このように、本実施の形態においては、PLL制御が位相同期状態に引き込もうとするとき、位相誤差信号Vθにより周波数を微妙に変えることができ、位相をずらして、位相同期を実現することができる。

【0234】このとき、周波数は、微妙ではあるが、変化するので、制御対象（モータ19）の特性やフィード

(18)

33

バックゲインによっては、無視できない程度の大きさで周波数誤差信号が発生することがあり、位相同期制御を不安定にする。

【0235】このような場合は、本実施の形態のように、基準電圧 V_0 を設けて、位相同期過程では、周波数誤差フィードバック信号 V_f を切り離すことにより、対応することができる。

【0236】また、本実施の形態によれば、MPU101内の目標速度をえることで、容易にモータ19の回転速度をえることができ、目標速度が変化するモータ19の制御にも適用することができる。

【0237】さらに、本実施の形態においては、メモリ型の位相比較回路41を使用しているが、非メモリ型のものにも容易に変更することができる。

【0238】図19～図21は、本発明のモータ速度制御装置の第9の実施の形態を示す図であり、本実施の形態は、周波数誤差信号に基づくフィードバック制御により目標速度まで加減速して、モータの回転速度が目標速度に到達したときに、位相同期制御に制御系を切り換えるとともに、モータドライバに供給する制御信号が連続になるようにするものである。

【0239】本実施の形態においては、位相比較回路としてメモリ型のものを使用しているので、本実施の形態の説明においては、上記図1及び図2と同様の構成部分については、同一の符号を付して、その詳細な説明を省略する。

【0240】図19において、モータ速度制御装置110は、位相比較回路11、スイッチ12、加算器13、スイッチ15、スイッチ17、モータドライバ18、モータ19、エンコーダ20、MPU111、カウンタ22、D/A変換器112、制御信号発生器113、F/V変換器114及びA/D変換器115等を備えている。

【0241】位相比較回路11は、上記図1及び図2に示したものと同様のメモリ型であり、図20(a)に示すようなエンコーダパルス信号Eと図20(b)に示すような基準信号Rから位相誤差信号 V_θ を生成して、加算器13に出力する。

【0242】加算器13は、これらの位相誤差信号 V_θ と基準電圧 V_0 を加算して、加算信号をスイッチ15に出力する。

【0243】MPU111は、目標速度に対応したデジタル出力をD/A変換器112に出力し、D/A変換器112は、このデジタル出力をD/A変換して、目標速度に対応した基準電圧 V_0 を加算器13及び制御信号発生器113に出力する。

【0244】F/V変換器114には、エンコーダ20からのエンコーダパルス信号Eが入力され、F/V変換器114は、このエンコーダパルス信号Eの周波数を電圧信号に変換して、制御信号発生器113に出力する。

34

【0245】制御信号発生器113は、PI方式あるいはPID方式の制御信号発生器であり、このF/V変換器114から入力される電圧信号と、D/A変換器112を介してMPU111から入力される基準電圧 V_0 に基づいて、図20(d)に示すような速度制御信号を発生して、スイッチ15に出力する。すなわち、制御信号発生器113は、F/V変換器114から入力される電圧信号と基準電圧 V_0 の差に対応する速度制御信号を生成する。

10 【0246】スイッチ15は、上記各実施の形態と同様に、MPU6によりその動作が制御され、モータ19が目標速度に到達するまでは、(イ)側に接続されて、モータ19が目標速度に到達して、所定の待ち時間経過すると、(ロ)側に切り換えられる。

【0247】スイッチ15からの出力は、スイッチ17を介してモータドライバ18に入力されるとともに、A/D変換器115にも入力され、A/D変換器115は、このモータドライバ18に供給されるアナログの信号をデジタル変換して、MPU111に出力する。

20 【0248】したがって、上記D/A変換器112、制御信号発生器113及びF/V変換器114は、所定の基準信号としての基準電圧 V_0 と検出手段としてのエンコーダ20の検出信号であるエンコーダパルス信号Eの周波数誤差信号に基づく速度制御信号を出力する周波数同期制御手段として機能する。

【0249】そして、MPU111は、この速度制御信号をA/D変換器115を介して取り込んで、モータ10の速度が目標速度に到達した後で、加算器13から出力される速度制御信号が連続したものとなるように、基準信号を設定して、出力端子Rから出力する。

30 【0250】位相比較回路11は、モータ10の回転速度が目標速度に達すると、スイッチが(ロ)側に切り換えられて、上記MPU111からの基準信号が基準信号Rとして入力されるので、この基準信号Rとエンコーダパルス信号Eから、図20(c)に示す誤差信号 V_θ を生成して、加算器13に出力し、加算器13は、この誤差信号 V_θ と基準電圧 V_0 を加算して、図20(d)に示す速度制御信号をスイッチ15、17を介してモータドライバ18に出力する。

40 【0251】したがって、モータドライバ18に供給される速度制御信号は、図20(d)に示すように、連続したものとなる。

【0252】次に、本実施の形態の動作を、図21に示すフローチャートに基づいて、以下説明する。

【0253】なお、図21において、上記図5と同様の処理ステップには、同一のステップナンバーを付して、その詳細な説明を省略する。

【0254】モータ速度制御装置110のMPU111は、加速段階での制御は、上記図5の場合と同様に行い (ステップS1～S6、ステップS8～S12)、モ

(19)

35

タ19の速度が同期速度に到達すると、スイッチ42をオンにして（ステップS21）、位相比較回路41に基づき信号Rを入力する。

【0255】すなわち、図20のA点で、スイッチ12及びスイッチ15を（イ）側に接続し、スイッチ17をオンにして、初期設定を完了すると、制御信号発生器113からの速度制御信号に基づいてモータ19の回転を開始し、B点でモータ19の回転速度が目標速度に到達すると、出力端子Rから出力する基準信号Rをエンコーダパルス信号Eがハイレベルであるか、ローレベルであるかに応じて、ハイレベルあるいはローレベルに設定して、出力する（ステップS6、ステップS12）。

【0256】その後、MPU43は、A/D変換器115を介して取り込（ステップS41）、初期位相 $\delta\theta$ 及び待ち（wait）時間 δT を算出して（ステップS42）、スイッチ12及びスイッチ15を（ロ）側に切り換える（ステップS43）。これにより、位相比較回路11の出力する誤差信号 $V\theta$ とMPU111の出力する基準電位 V_0 を加算器13で加算した加算出力が、スイッチ15及びスイッチ17を介して、速度制御信号としてモータドライバ18に供給され、モータドライバ18は、この速度制御信号により速度制御を開始する。

【0257】その後、MPU111は、初期位相分の待ち時間（ $T/2 - \delta T$ ）だけ待つと（ステップS44）、図20（b）に示すように、出力端子Rから出力している基準信号Rを反転させ（ステップS14）、目標速度に対応した周波数の1/2周期（ $T/2$ ）待って（ステップS15）、図20のD点において、出力信号（基準信号R）を反転させる処理を順次繰り返す（ステップS14）。すなわち、MPU111は、目標速度に到達して、基準信号Rの位相の調整を行うと、図20に示すように、目標速度に対応した周波数の1/2周期毎に基準信号Rを反転させて、位相比較回路11に出力する。

【0258】したがって、MPU111は、図20（b）に示すように、D点以降は、エンコーダパルス信号Eと同期し、目標速度に対応した周波数の基準信号Rを位相比較回路11に出力する。

【0259】そして、MPU111から上記基準信号Rが位相比較回路11に入力されると、位相比較回路11は、上述の動作処理を行って、図4（c）に示すように、エンコーダパルス信号Eと基準信号Rの位相差に対応する位相誤差信号 $V\theta$ を加算器13に出力する。

【0260】加算器13は、この誤差信号 $V\theta$ とD/A変換器112を介してMPU111から供給されるオフセット電圧 V_0 を加算して、スイッチ15及びスイッチ17を介して、モータドライバ18に出力し、モータドライバ18は、この加算器13からの加算出力に基づいてモータ19を駆動する。

【0261】そして、図20（d）に示すように、速度

36

制御信号は、モータ19の回転速度が目標速度に近づくと、モータ19の回転を抑制する方向に反転するが、上述のように、モータ19の回転が目標速度に到達した時点で、この速度制御信号が連続するように、制御系の切り換えが行われるので、制御量の連続性が保たれ、速度制御系の過渡応答特性を大幅に向上させることができ

る。

【0262】したがって、エンコーダパルス信号Eと基準信号Rの位相差によるモータ19の速度のオーバーシュートを、図4（d）に示すように、抑制することができ、位相同期制御手段としてのPLL速度制御（位相比較回路11）系の過渡応答特性を向上させることができ

る。

【0263】その結果、目標速度に安定するまでの時間を大幅に短縮させることができるとともに、速度制御系を安定させることができる。

【0264】以上、本発明者によってなされた発明を好適な実施の形態に基づき具体的に説明したが、本発明は上記のものに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0265】例えば、上記第1の実施の形態から第4の実施の形態においては、モータ19の回転速度が目標速度に到達したとき、目標速度に対応した周波数で、かつ、エンコーダパルス信号Eの位相同期後の位相差と同じ位相差を有した基準信号Rを生成して、位相比較回路11あるいは位相比較回路41に供給するようにしているが、このとき、初期位相差が位相同期手段である位相比較回路11あるいは位相比較回路41の動作範囲の中心になるように基準信号Rを生成して、供給するようにしてよいこの場合、ハード的構成は、上記各実施の形態と同様であるが、ただ、各MPUは初期位相差 $\delta\theta$ が全て動作範囲の中心にくるように、初期位相の待ち（wait）時間を決定する。

【0266】すなわち、図1あるいは図2に示したメモリ型の位相比較回路11においては、 $\delta\theta = 0$ 、すなわち、待ち時間を $T/2$ に決定し、図6あるいは図7に示した非メモリ型の位相比較回路41においては、 $\delta\theta' = \pi/2$ 、すなわち、待ち時間を $T/4$ に決定する。

【0267】具体的には、例えば、第2の実施の形態においては、図9に示したように、最終的に位相同期して安定するのは、安定点として示した位相差 $\delta\theta'$ の点であり、モータ19の回転速度が目標速度に到達して、制御系を位相比較回路41に切り換えた直後では、第2の実施の形態においては、位相差が $\delta\theta'$ であるので、安定点に引き込み易い。

【0268】ところが、モータ19の負荷のイナーシャが大きい場合など、応答が遅い場合には、直に安定点に収束するとは限らず、安定点の回りを振動しながら収束する。当然のことながら、振動の振幅は、制御系を切

(20)

37

り換えた直後が最も大きい。すなわち、図9のように安定点が位相比較範囲の端にある場合、振り幅によっては、位相比較範囲を外れるおそれがあり、位相比較範囲を外れると、一旦大きく位相をくずしてから同期するので、同期するまでに、かえって長く時間を要することとなる。

【0269】そこで、上述のように、初期位相差が位相同期手段である位相比較回路11あるいは位相比較回路41の動作範囲の中心になる位相タイミングで基準信号Rを生成して、供給すると、位相比較範囲の中心から同期過程が開始されるので、位相比較範囲を外れることを防止することができ、より一層確実に、かつ、速やかに安定させることができる。

【0270】また、初期位相の設定を単純化することができ、制御手段であるMPUを簡単に構成することができる。

【0271】上記第5の実施の形態から第9の実施の形態においては、周波数誤差をフィードバックしており、あるいは、基準電位V0を目標速度に対応させている効果により、すでに初期位相が、位相比較回路11あるいは位相比較回路41の動作範囲の中心に存在しており、上記効果を有している。

【0272】

【発明の効果】請求項1記載の発明のモータ速度制御装置によれば、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を大幅に向上させることができ、目標速度に安定するまでの時間を短縮することができるとともに、速度制御系を安定化させることができる。

【0273】請求項2記載の発明のモータ速度制御装置によれば、速度制御系全体の構成を簡単なものとすることができる、ハード的に回路を組み込む場合には、回路構成が簡単なものとなり、コストを低減させることができ、また、ソフト的に構成する場合には、ソフト処理が簡単になり、計算処理等の負荷を小さくして、処理速度を向上させることができる。

【0274】また、モータ駆動系のイナーシャ等が小さく、位相同期過程の応答が速い系では、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、従来、速度フィードバックループにより加減速していた制御系をオープンループ制御手段により、モータの加減速を行うことができ、適用範囲を広げることができる。

【0275】請求項3記載の発明のモータ速度制御装置によれば、周波数誤差信号に基づく速度のフィードバック制御を行うことができ、イナーシャが大きく応答の遅い制御系の場合であっても、確実に周波数を同期させることができるとともに、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を、さらに大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化

38

でき、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0276】請求項4記載の発明のモータ速度制御装置によれば、モータの速度が目標速度に到達して、制御系を切り換えた際、速度信号と基準信号の位相差に基づく、速度制御系の過渡応答特性をより一層大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系を安定させることができる。

【0277】請求項5記載の発明のモータ速度制御装置によれば、モータの速度が目標速度に到達して、制御系を位相同期制御手段に切り換えた際、目標速度に対応した周波数で、かつ、速度信号に対して位相同期制御手段の動作範囲の中心の位相差を有した基準信号を位相同期制御手段に入力するので、位相同期制御手段に制御系を切り換えた後に、位相比較の動作範囲から外れるのを抑制することができ、位相同期制御手段の過渡応答特性を向上させることができる。

【0278】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0279】また、位相同期制御手段の動作範囲の中心の位相差は、予め分かっており、かつ、周波数は変える必要があるが、目標速度によって位相差を変える必要がないため、基準信号を簡単に生成することができ、回路構成を簡略化することができる。

【0280】請求項6記載の発明のモータ速度制御装置によれば、速度制御系全体の構成を簡単なものとすることで、ハード的に回路を組み込む場合には、回路構成が簡単なものとなり、コストを低減させることができ、また、ソフト的に構成する場合には、ソフト処理が簡単になり、計算処理等の負荷を小さくして、処理速度を向上させることができる。

【0281】また、モータ駆動系のイナーシャ等が小さく、位相同期過程の応答が速い系では、上記制御系の切換時の不安定性が少なくなっているので、従来、速度フィードバックループにより加減速していた制御系をオープンループ制御手段により、モータの加減速を行うことができ、適用範囲を広げることができる。

【0282】請求項7記載の発明のモータ速度制御装置によれば、周波数誤差信号に基づく速度のフィードバック制御を行うことができ、イナーシャが大きく応答が遅い制御系の場合であっても、確実に周波数を同期させることができるとともに、上記速度制御手段から位相同期制御手段への制御系の切換時の不安定性が少なくなっているので、速度信号と基準信号の位相差に基づく速度制御系の過渡応答特性を、さらに大幅に向上させることができ、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化

(21)

39

させることができる。

【0283】請求項8記載の発明のモータ速度制御装置によれば、モータの速度が目標速度に到達して、制御系を速度制御手段と位相同期制御手段との加算制御系に切り換えた際、目標速度に対応した周波数で、かつ、速度信号に対して位相同期制御手段の動作範囲の中心の位相差を有した基準信号を位相同期制御手段に入力するので、制御系を切り換えた後に、位相比較の動作範囲から外れるのを抑制することができ、位相同期制御手段の過渡応答特性を向上させることができる。

【0284】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【0285】また、位相同期制御手段の動作範囲の中心の位相差は、予め分かっており、かつ、周波数は変える必要があるが、目標速度によって位相差を変える必要がないため、基準信号を簡単に生成することができ、回路構成を簡略化することができる。

【0286】請求項9記載の発明のモータ速度制御装置によれば、周波数同期制御手段によりモータを加減速して、モータの速度が目標速度に到達し、制御系を周波数同期制御手段と位相同期制御手段との加算制御系に切り換えた際、目標速度に対応した周波数で、かつ、速度制御信号が連続する位相差を有した基準信号を位相同期制御手段に入力するので、制御系を切り換えた際の制御量の連続性が保たれ、速度制御系の過渡応答特性を大幅に向上させることができる。

【0287】したがって、目標速度に安定するまでの時間をより一層短縮することができるとともに、速度制御系をより一層安定化させることができる。

【図面の簡単な説明】

【図1】本発明のモータ速度制御装置の第1の実施の形態を適用したモータ速度制御装置の回路構成図。

【図2】図1の位相比較回路の詳細な回路構成図。

【図3】図1のモータ速度制御装置の各部の信号のタイミング図。

【図4】図1及び図2の位相比較回路の各部の信号のタイミング図。

【図5】図1のモータ速度制御装置によるモータの速度制御処理を示すフローチャート。

【図6】本発明のモータ速度制御装置の第2の実施の形態を適用したモータ速度制御装置の回路構成図。

【図7】図6の位相比較回路の詳細な回路構成図。

【図8】図6のモータ速度制御装置の各部の信号のタイミング図。

【図9】図6のモータ速度制御装置の位相比較回路の動作特性図。

【図10】図6のモータ速度制御装置によるモータの速度制御処理を示すフローチャート。

【図11】図6及び図7の位相比較回路の各部の信号の

40

タイミング図

【図12】本発明のモータ速度制御装置の第3の実施の形態を適用したモータ速度制御装置の回路構成図。

【図13】本発明のモータ速度制御装置の第4の実施の形態を適用したモータ速度制御装置の回路構成図。

【図14】本発明のモータ速度制御装置の第5の実施の形態を適用したモータ速度制御装置の回路構成図。

【図15】図14のモータ速度制御装置によるモータの速度制御処理を示すフローチャート。

【図16】本発明のモータ速度制御装置の第6の実施の形態を適用したモータ速度制御装置の回路構成図。

【図17】本発明のモータ速度制御装置の第7の実施の形態を適用したモータ速度制御装置の回路構成図。

【図18】本発明のモータ速度制御装置の第8の実施の形態を適用したモータ速度制御装置の回路構成図。

【図19】本発明のモータ速度制御装置の第9の実施の形態を適用したモータ速度制御装置の回路構成図。

【図20】図19の位相比較回路の各部の信号のタイミング図

【図21】図19のモータ速度制御装置によるモータの速度制御処理を示すフローチャート。

【図22】メモリ型の位相比較回路の動作特性図。

【図23】非メモリ型の位相比較回路の動作特性図。

【図24】従来のPLL制御系を用いたモータ速度制御装置の回路構成図。

【図25】図24のモータドライバへの入力電圧とエンコーダの出力するエンコーダパルス信号の周波数との関係を示す図。

【符号の説明】

10 10 モータ速度制御装置

11 11 位相比較回路

12、15、17、33、34 12、15、17、33、34 スイッチ

13 13 加算器

14 14 オフセット電圧発生回路

16 16 立ち上げ電圧発生回路

18 18 モータドライバ

19 19 モータ

20 20 エンコーダ

21 21 MPU

22、35 22、35 カウンタ

31 31 位相比較器

32 32 カウント信号発生器

36 36 D/A変換器

40 40 モータ速度制御装置

41 41 位相比較回路

42、45 42、45 スイッチ

43 43 MPU

44 44 位相比較器

46 46 カウンタ

50 50 モータ速度制御装置

(22)

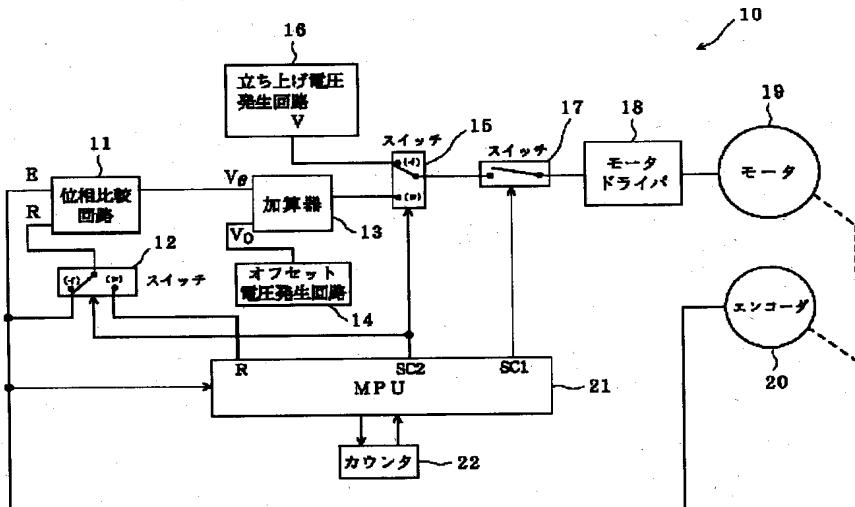
41

5 1 電流フィードバック回路
 6 0 モータ速度制御装置
 6 1 立ち上げ電圧発生回路
 7 0 モータ速度制御装置
 7 1 スイッチ
 7 2 MPU
 7 3 D/A変換器
 8 0 モータ速度制御装置
 9 0 モータ速度制御装置
 9 1 MPU
 9 2 周波数同期制御回路
 9 3 電流フィードバック回路
 9 4 基準電圧発生回路
 9 5 F/V変換器

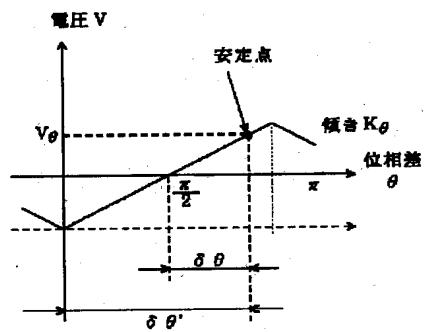
42

9 6 電圧比較器
 1 0 0 モータ速度制御装置
 1 0 1 MPU
 1 0 2 D/A変換器
 1 1 0 モータ速度制御装置
 1 1 1 MPU
 1 1 2 D/A変換器
 1 1 3 制御信号発生器
 1 1 4 F/V変換器
 1 1 5 A/D変換器
 R 基準信号
 E エンコーダパルス信号
 V_θ 誤差信号
 δθ 位相差

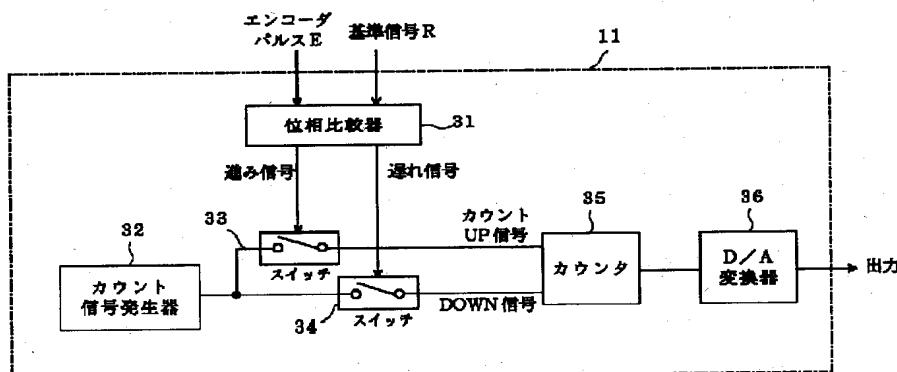
【図1】



【図9】

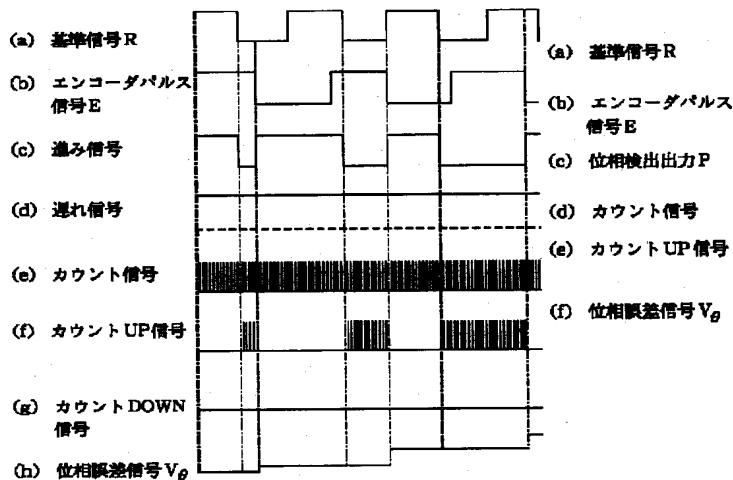


【図2】

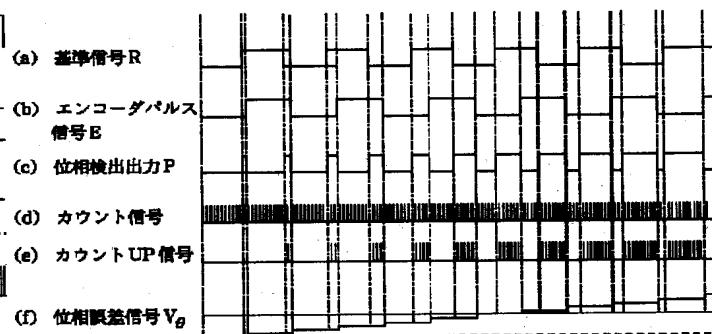


(23)

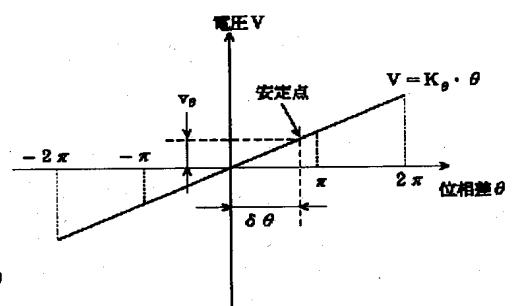
【図3】



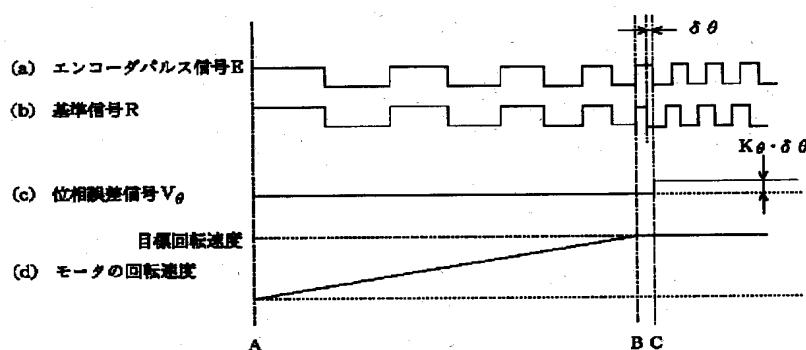
【図8】



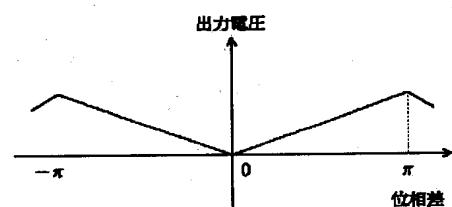
【図22】



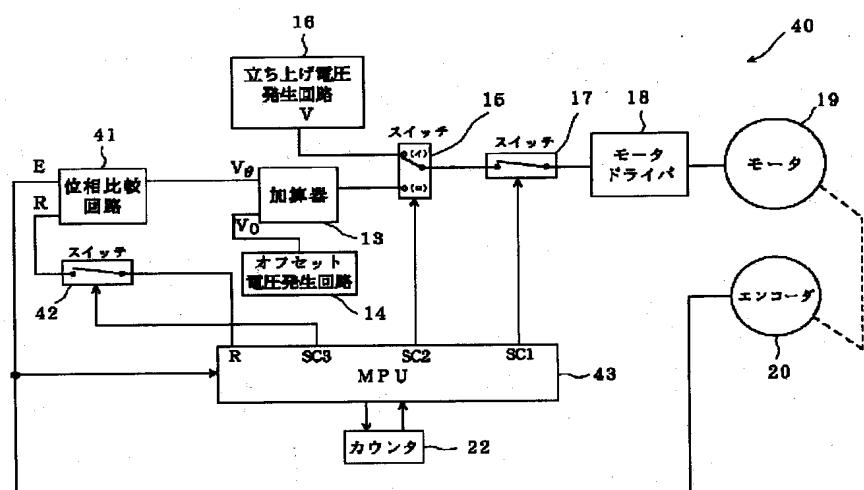
【図4】



【図23】

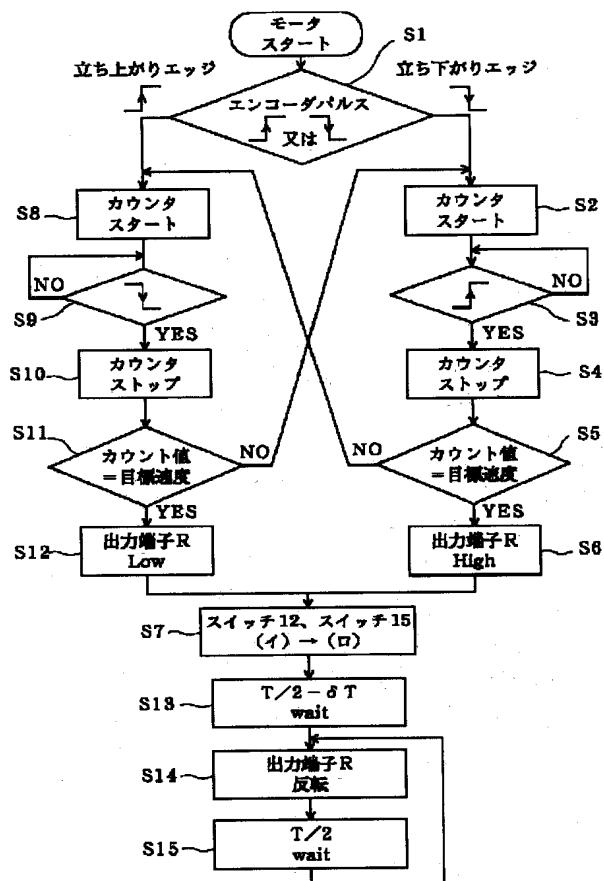


【図6】

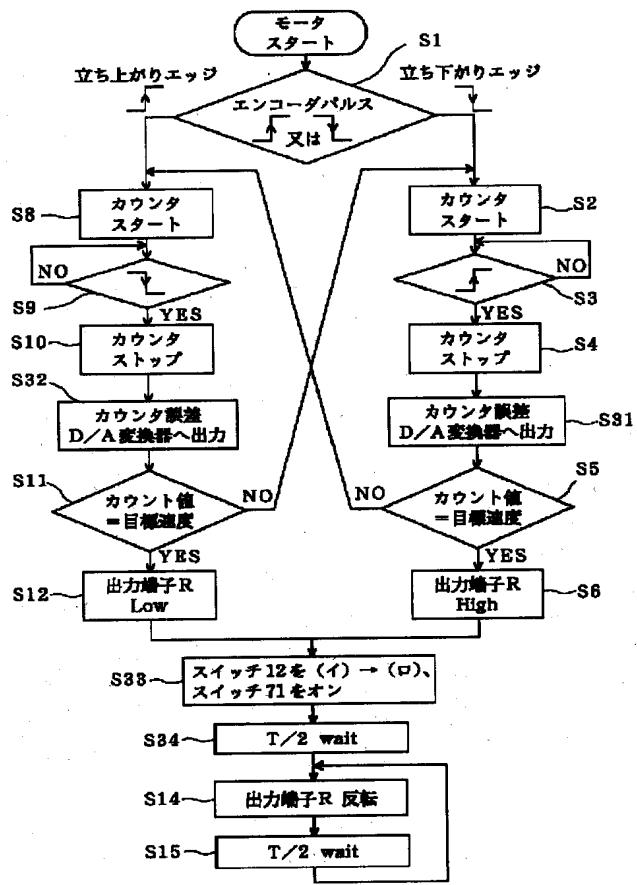


(24)

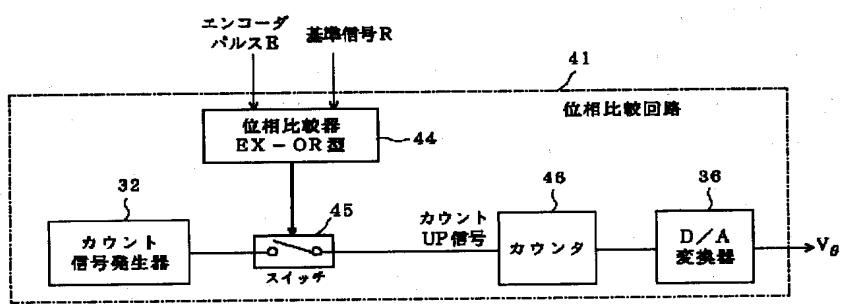
【図5】



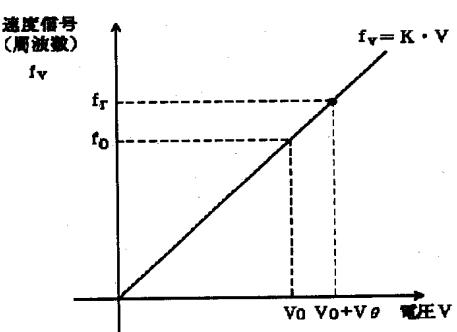
【図15】



【図7】

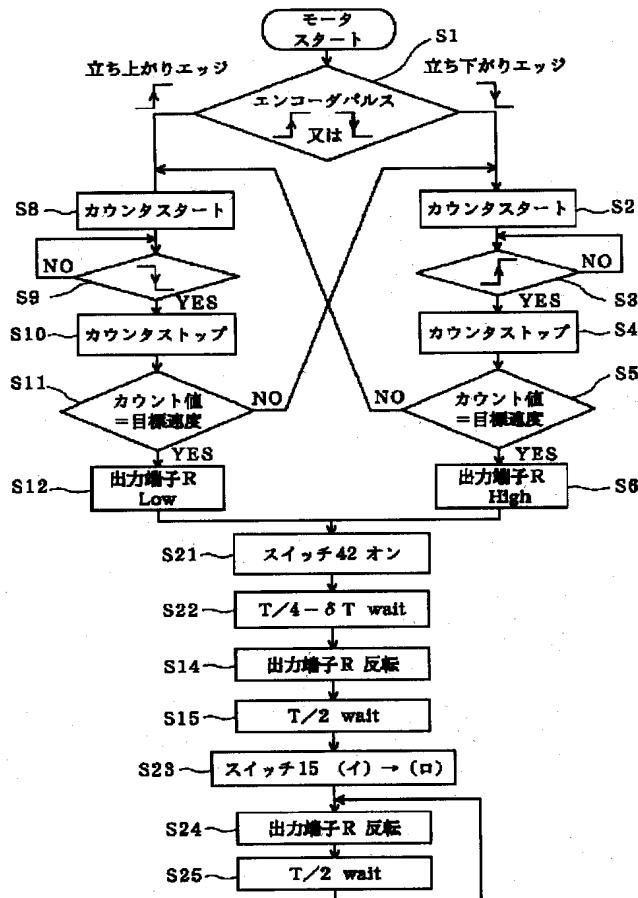


【図25】

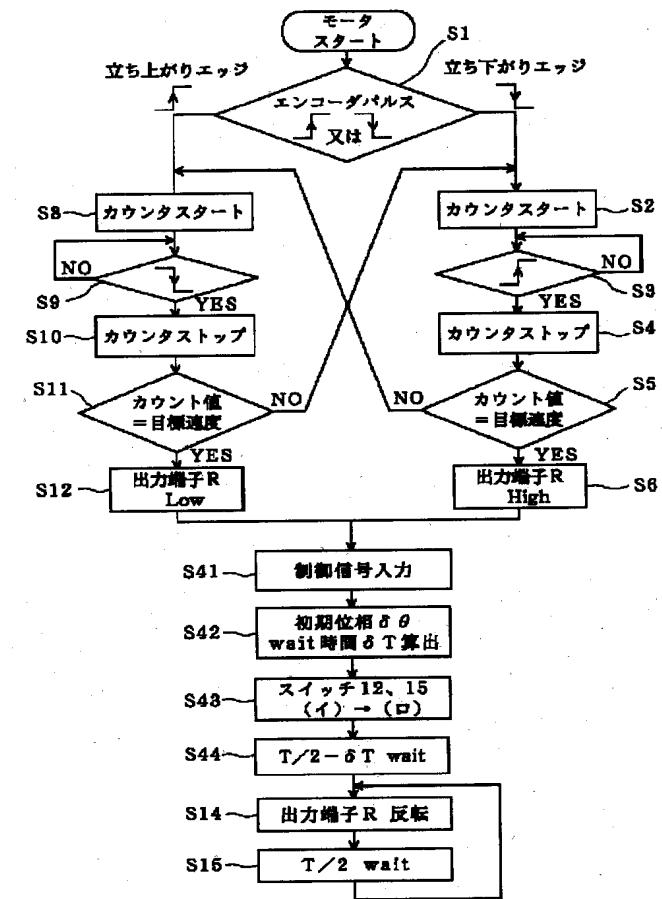


(25)

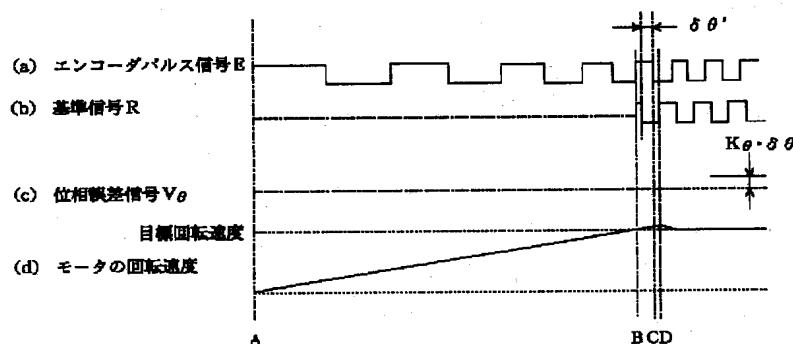
【図10】



【図21】

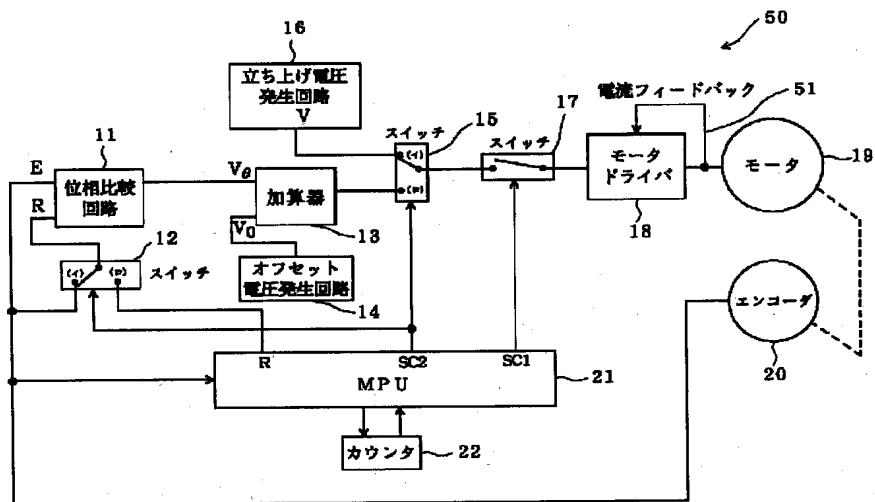


【図11】

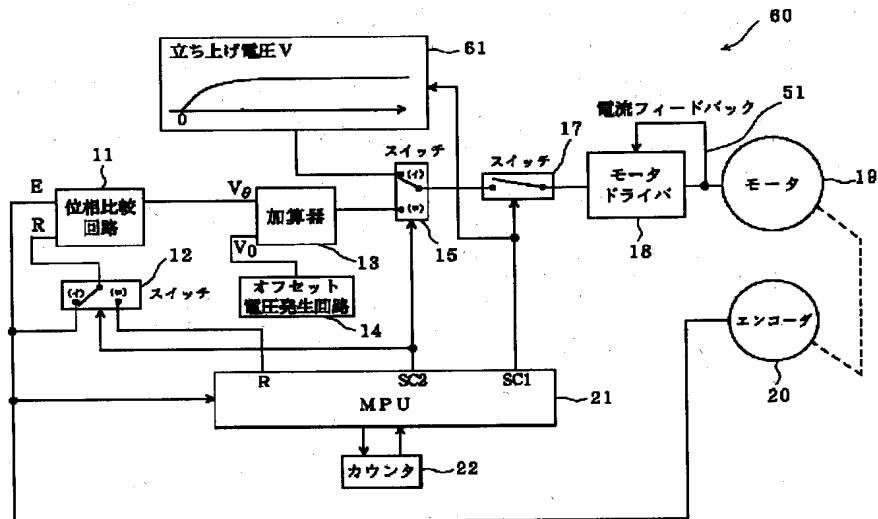


(26)

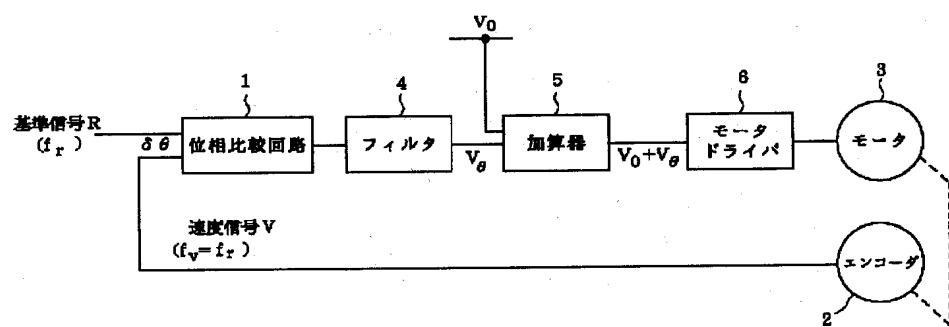
【図12】



【図13】

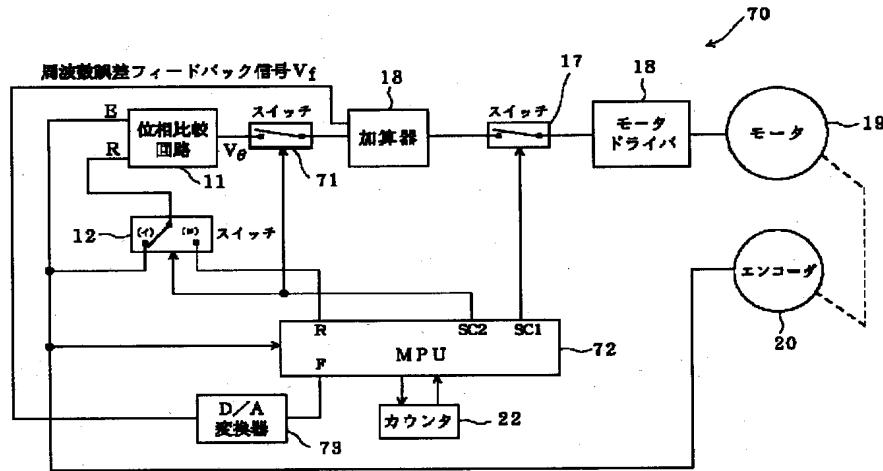


【図24】

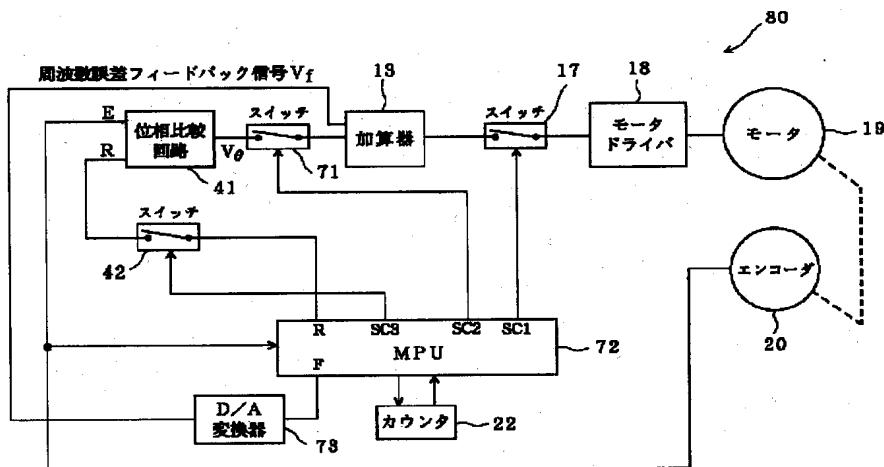


(27)

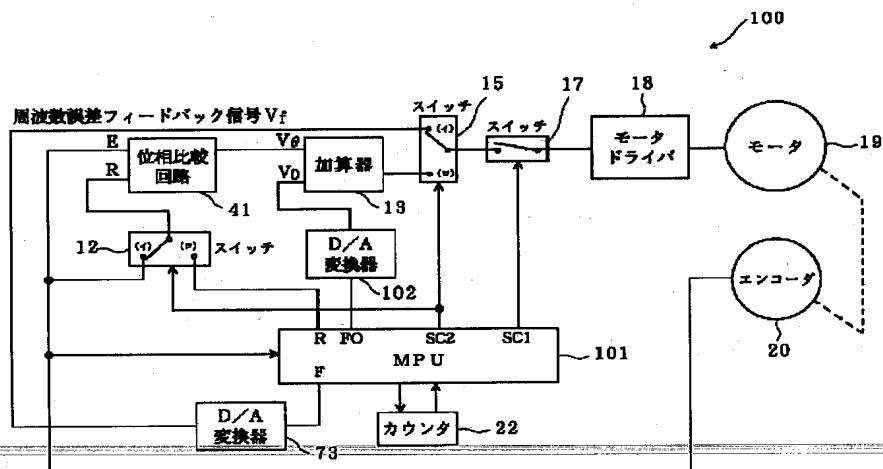
【図14】



【図16】

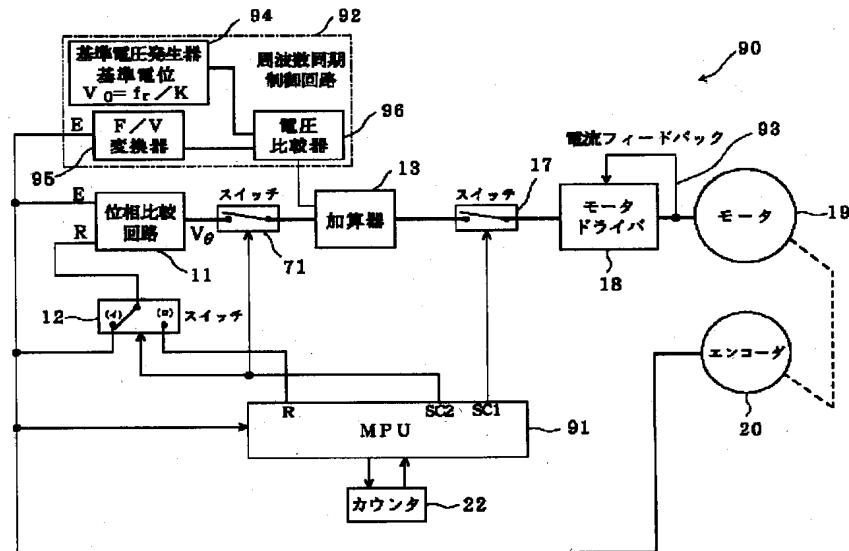


【図18】

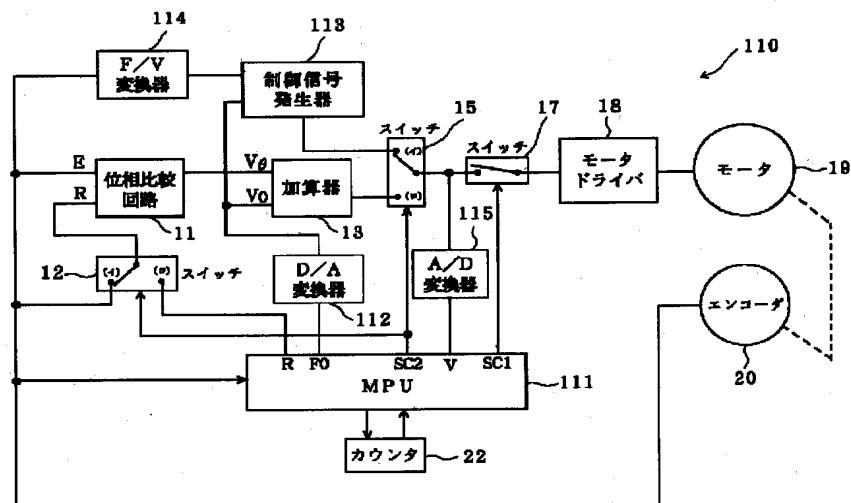


(28)

【図17】



【図19】



(29)

【図20】

